



Univerza v Ljubljani  
Fakulteta za elektrotehniko



*Uroš Rozina*

## **Zero offset driver**

Seminarska naloga

pri predmetu  
Elektronska vezja

V Litiji, september 2007

## UVOD

Načrtovanju in kasnejši izdelavi takšnega vezja, je botrovala potreba po krmiljenju zaslonov na tekoče kristale, ki se uporabljajo v samozatemnitvenih varilnih filterih. Zaslone na tekoče kristale (LCD) so zelo občutljivi na enosmerno komponento napetosti, ki se pojavi na njih, saj povzroča zbiranje ionov na polih in s tem omejeno delovanje (slabši kontrast) zaslonov. Takšni zaslone so občutljivi na električno polje že do te mere, da jih ne smemo puščati brez sklenjenih vhodnih kontaktov, zato jim v času meritev vzporedno vežemo upor, ki lahko ostane tudi v času meritev saj ne moti le-teh.

Vezje deluje z namenom odstranjevanja enosmerne komponente, ki se pojavlja v signalih. Ker pa je to v praksi težko, saj tudi najboljši funkcijski generatorji prepuščajo nekaj enosmerne napetosti potrebujemo pretvornik, ki se obnaša kot četverpol ter glede na frekvenco vhodnega signala ustvarja signal enake frekvence na izhodu, amplituda pa je nastavljiva preko potenciometra in ni odvisna od amplitude vhodnega signala (vendar mora le ta upoštevati meje amplitudnega področja, v katerem se lahko giblje). Da smo dokončno odstranili vsakršne motnje, pa se vezje napaja iz dveh 9V baterij.



Slika 1: Zunanji izgled naprave

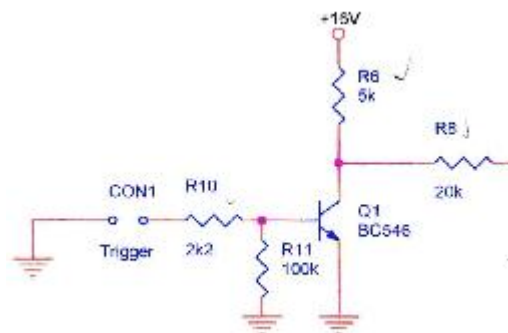
## ANALIZA VEZJA IN NJEGOVIH PODSKLOPOV

Vežje je sestavljeno iz štirih podsklopov:

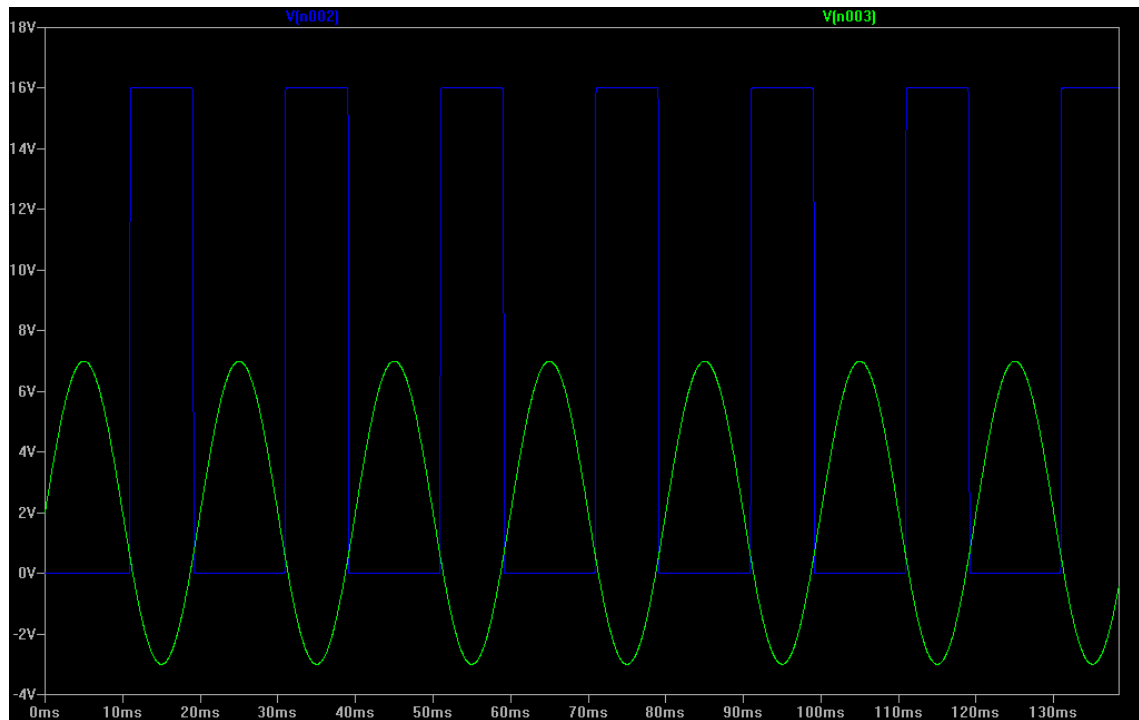
- vhodnega tranzistorja
- kontrolna enota
- napetostnega krmilnika in
- logične enote

Sedaj pa si podrobneje pogledimo delovanje posameznih podsklopov:

### a) Vhodni tranzistor



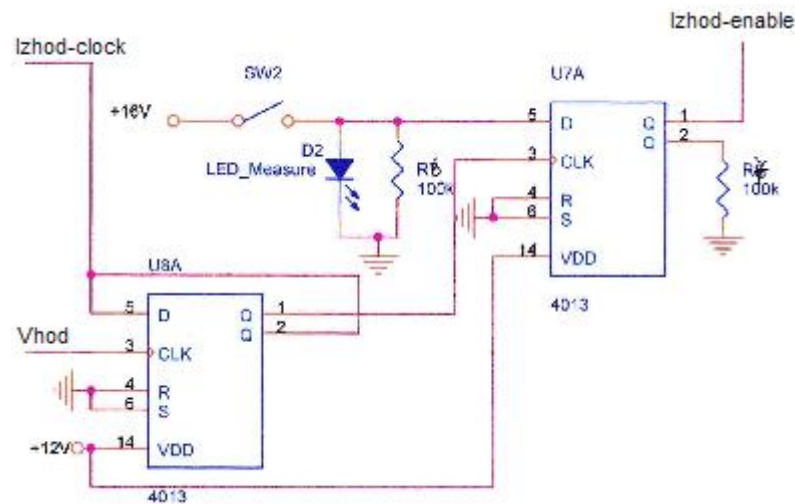
Ta sklop je sestavljen iz enega tranzistorja v vezavi skupnega emitorja ter uporov. Njegova naloga je skrb, da vhodni izmenični signal vrednosti od  $-U$  do  $+U$  pretvarja v vlak pulzov od 0 do  $+U$  napetosti. Pri tem mora biti amplituda signala dovolj visoka da odpre tranzistor, enosmerna komponenta pa tudi ne sme presegati napetosti, ki tranzistorju ne bi več dopuščala, da se v spodnjem polvalu vhodnega signala zapre in s tem povzročila, da izhod iz tega podsklopa postane enosmeren signal. To pa ne povzroči nobene škode, saj ta signal na svoj vhod kot urin pulz sprejme prvi flip-flop, ki pa samo čaka na novi pulz.



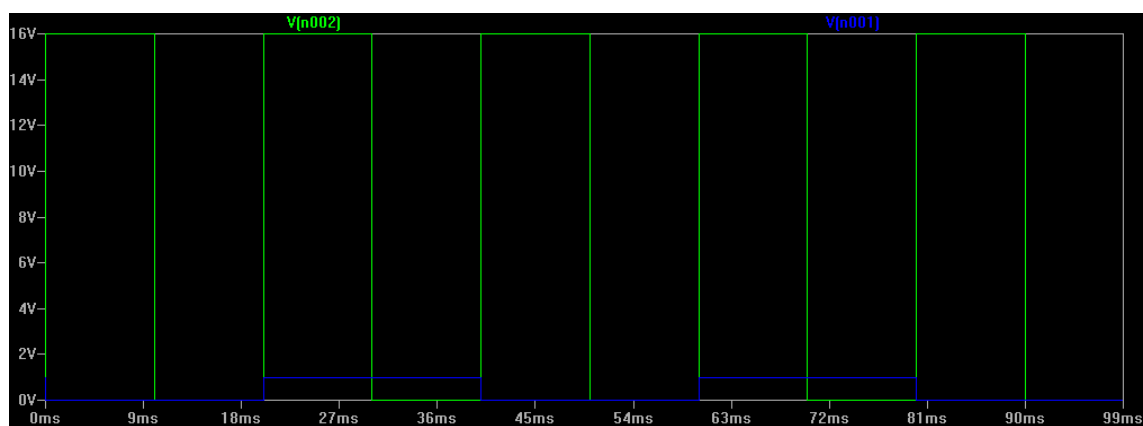
Slika 2: Primer z vhodnim sinusnim signalom

Na sliki 2 je primer, kakšno izhodno napetost dobimo če na vhod pripeljemo sinusni signal s frekvenco 50Hz, amplitudo 5V in enosmerno komponento 2V. Zelena krivulja predstavlja vhodni signal, modra pa izhodni signal iz prvega podsklopa. Izhodni signal tega podsklopa je vedno pravokoten in ni odvisen od oblike vhodnega signala, čeprav je priporočeno, da je vhodni signal pravokotne oblike, saj ob prisotnosti enosmerne komponente le takrat dobimo “duty cycle” ravno 50%. Na sliki 2 se kot primer lepo vidi, da razmerje med  $t(\text{on})$  in  $t(\text{off})$  ni 50%. Amplituda izhodnega signala te stopnje je 16V kar predstavlja zahtevo po CMOS tehnologiji.

## b) Kontrolna enota



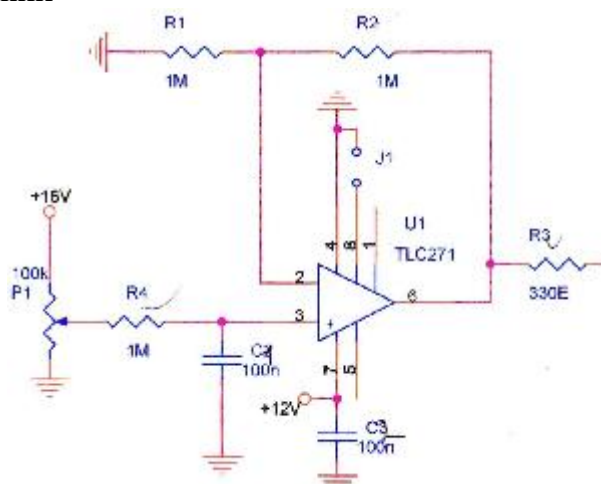
Drugi podsklop gledano s strani potovanja signala je kontrolna enota. Sestavljena je iz integriranega vezja 4013, ki vsebuje dvojni D flip-flop. Prvi FF deluje kot delilnik frekvence in nam razpolavlja frekvenco pulzov. To pa je realizirano tako da imamo povratno vezavo negiranega izhoda FF na D vhod kar nam omogoča preklapljanje ob vsakem drugem urinem pulzu. Potek signala je viden na sliki 3, zelen signal je vhodni, moder pa izhodni. Preklop se pri D flip-flopih vedno zgodi ob naraščajoči fronti urinega signala. Ta izhodni signal potem uporabimo na prvem delu logične enote, za preklop signala A in B, kar pa si bomo pogledali bolj podrobno pri logični enoti. Če se vrnemo nazaj k našemu prvemu FF, iz njega dobimo tudi neinvertiran izhodni signal, ki pa ima frekvenco ravno polovico vhodne frekvence signala.



Slika 3: Potek signalov na prvem D flip-flopu, ki ga vodimo v logično enoto

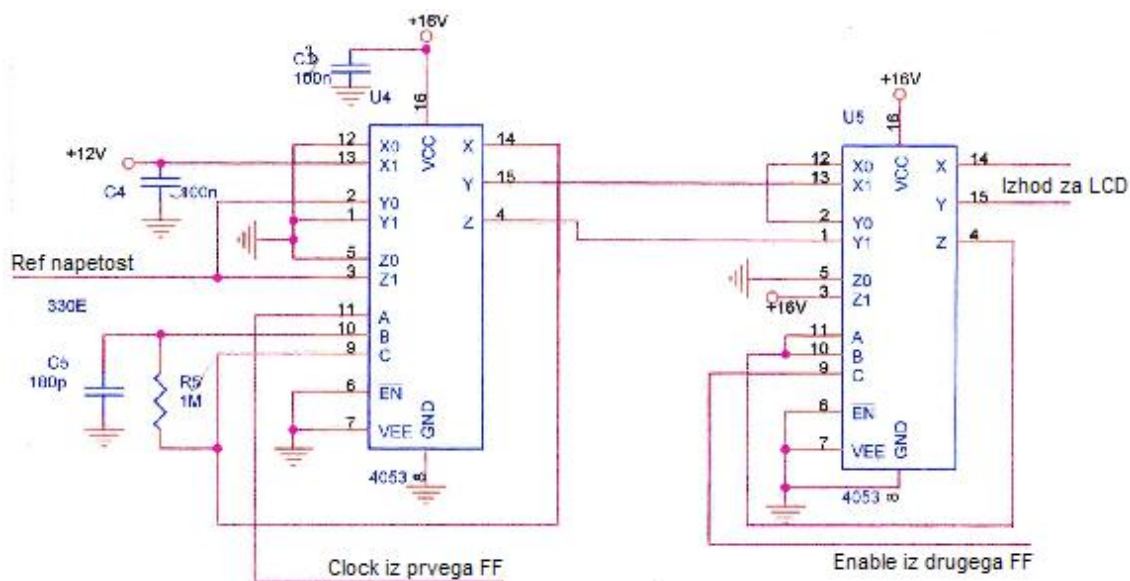
Ta signal vodimo do drugega FF, katerega naloga pa je, da nam sinhronizira vklop in izklop izhoda celotnega vezja. Kot smo že prej ugotovili, se preklop zgodi na pozitivno fronto urinega signala, ki pa ga na drugem FF predstavlja signal iz neinvertiranega izhoda prvega FF. Na vhod D drugega FF pripeljemo signal s stikala, kar nam omogoča, da sinhronizirano z uro vklopimo in izklopimo drugi del logične enote, oz. drugače povedano s tem vplivamo na izhod celotnega vezja tako, da izbiramo med tem ali bomo na izhod priklopili izmenični signal ali pa izhoda kratko sklenili.

### c) Napetostni krmilnik



Sklop je ojačevalnik realiziran z operacijskim ojačevalnikom TLC271, na katerem preko potenciometra nastavljamo izhodno napetost od 0V do 12V, ki nam služi kot amplituda izhodnega signala. Sama amplituda je omejena z napajanjem, saj je TLC271 operacijski ojačevalnik z enojnim napajanjem, torej nam izhodno napetost omejuje napajanje ojačevalnika. Razmere med uporoma je ena, kar nam daje ojačenje približno enako ena, kar pa načeloma niti ni pomembno saj nam potenciometer omogoča dovolj natančno izbiro upornosti in s tem natančno izbiro amplitude izhodnega signala. Ojačevalnik z napetostnim ojačenjem ena nam predstavlja neodvisni napetostni vir, odvisen od napetosti na uporovnem delilniku. Obvezen pa je upor na izhodu operacijskega ojačevalnika, saj ga potrebujemo, da omejimo izgodni tok.

#### d) Logična enota



Zadnji podsklop, ki predstavlja tudi končno stopnjo je logična enota. Sestavljena je iz dveh integriranih vezij CD4053 (3x dvokanalni analogni multiplekser/demultiplekser), ki skrbita za generiranje dveh signalov ter za kontrolo izhoda. Poglejmo si vsakega posebej:

##### – Prvi del logične enote

Prvi izmed dvojice integriranih vezij CD4053 sprejema pulze iz prvega FF in jih pretvarja v dva logično nasprotna signala z amplitudo do 12V kar zahteva CMOS tehnologijo čemur ta IC tudi ustreza. Vzrok zakaj ne uporabimo navadnega inverterja, je vzrok zahteva po analognem prenosu signala česar pa navadni inverterji ne omogočajo (delujejo le digitalno).

Ta nasprotujoča si izhoda nam tvorita izmenično pravokotno napetost med tema dvema izhodoma, katere amplituda je enaka amplitudama vhodnih signalov.

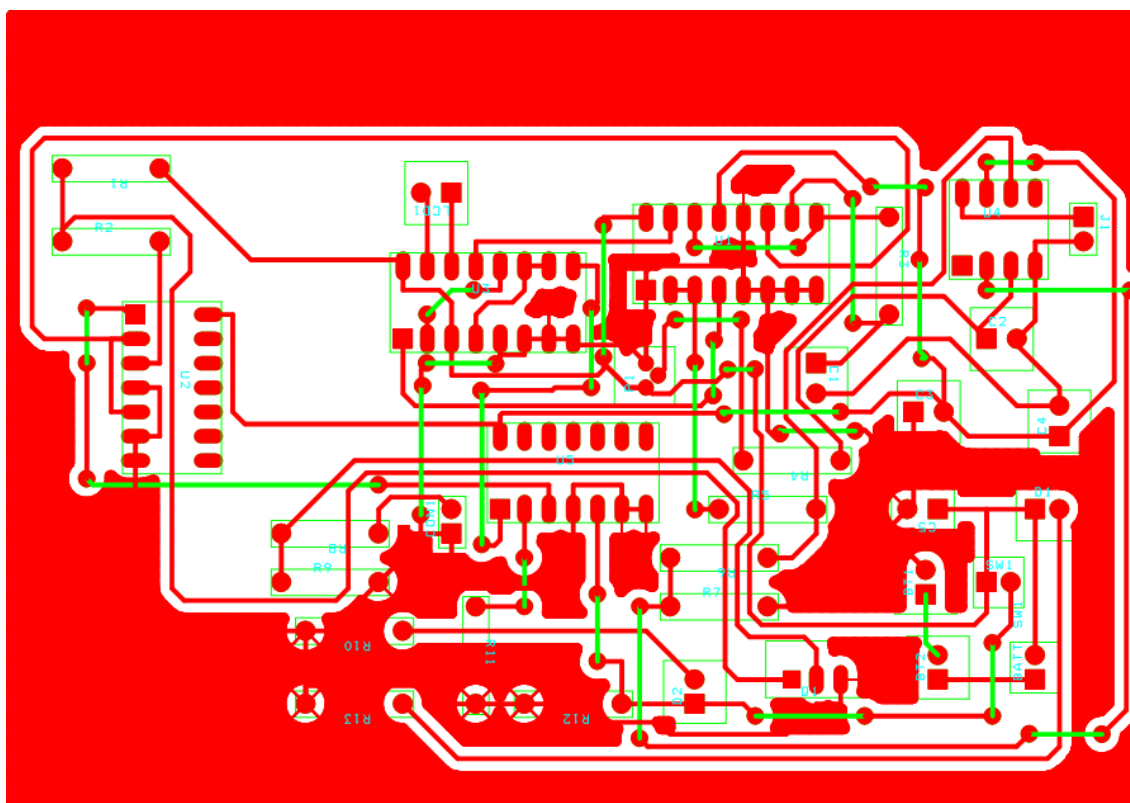
##### – Drugi del logične enote

Izhodni oz. drugi del izhodne enote skrbi le za izhod. Glede na signal iz drugega FF izbira med dvema načinoma v katerih se znajde izhod. Ti dve možnosti sta prevajanje signala iz prvega dela logične enote ali pa kratkostična vezava izhodnih sponk.

### Izdelava vezja:

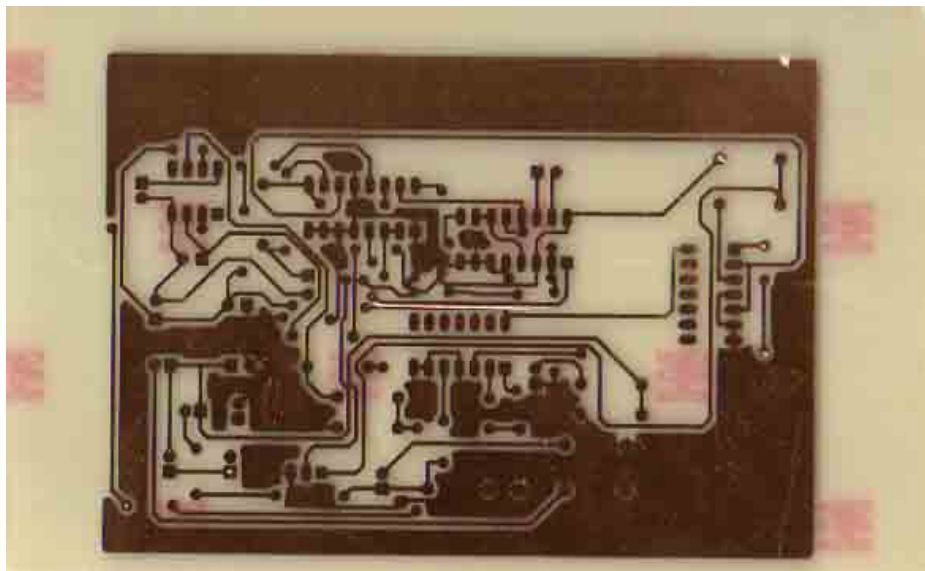
Predlogo za tiskanino in shemo sem izdelal s pomočjo programa OrCAD. Pravega vzroka za izbiro niti nimam. Najprej sem shemo načrtoval vzporedno tudi v Eaglu, vendar brezplačna verzija ne omogoča avtomatskega vlečenja povezav zato je odločitev padla za uporabo OrCAD-a.

Na sliki 4 se vidi izgled plošče pred tiskanjem na prozorno folijo, na sliki 5 pa po končanem postopku jedkanja. Pri jedkanju je potrebno paziti na čas osvetljevanja in čas jedkanja, kajti če nismo pazljivi, lahko pri prekratkem času v kislini nekatere povezave ki so blizu skupaj, ostanejo povezane. To se je zgodilo tudi meni, a sem težavo rešil s skalpelom in vse skupaj preizkusil z elektročno meritvijo (na sliki 5 se vidi poškodba zaradi ločevanja kratko sklenjenih povezav).



Slika 4: Tiskano vezje (predogled na računalniku (negativ za jedkanje))





Slika 5: Vezje po končanem jedkanju (vidne poškodbe zaradi ločevanja kratko sklenjenih vezi)

### Uporaba naprave



Slika 6: Čelna plošča naprave

Uporaba same naprave je preposta. Na zadnjem delu sta 2 stikala za izbiro napajanja, kjer se lahko odločimo za napajanje iz baterij ali zunanje napajalnika v primeru iztrošenja baterij(slika 7).



*Slika 7: Zadnja stran naprave*

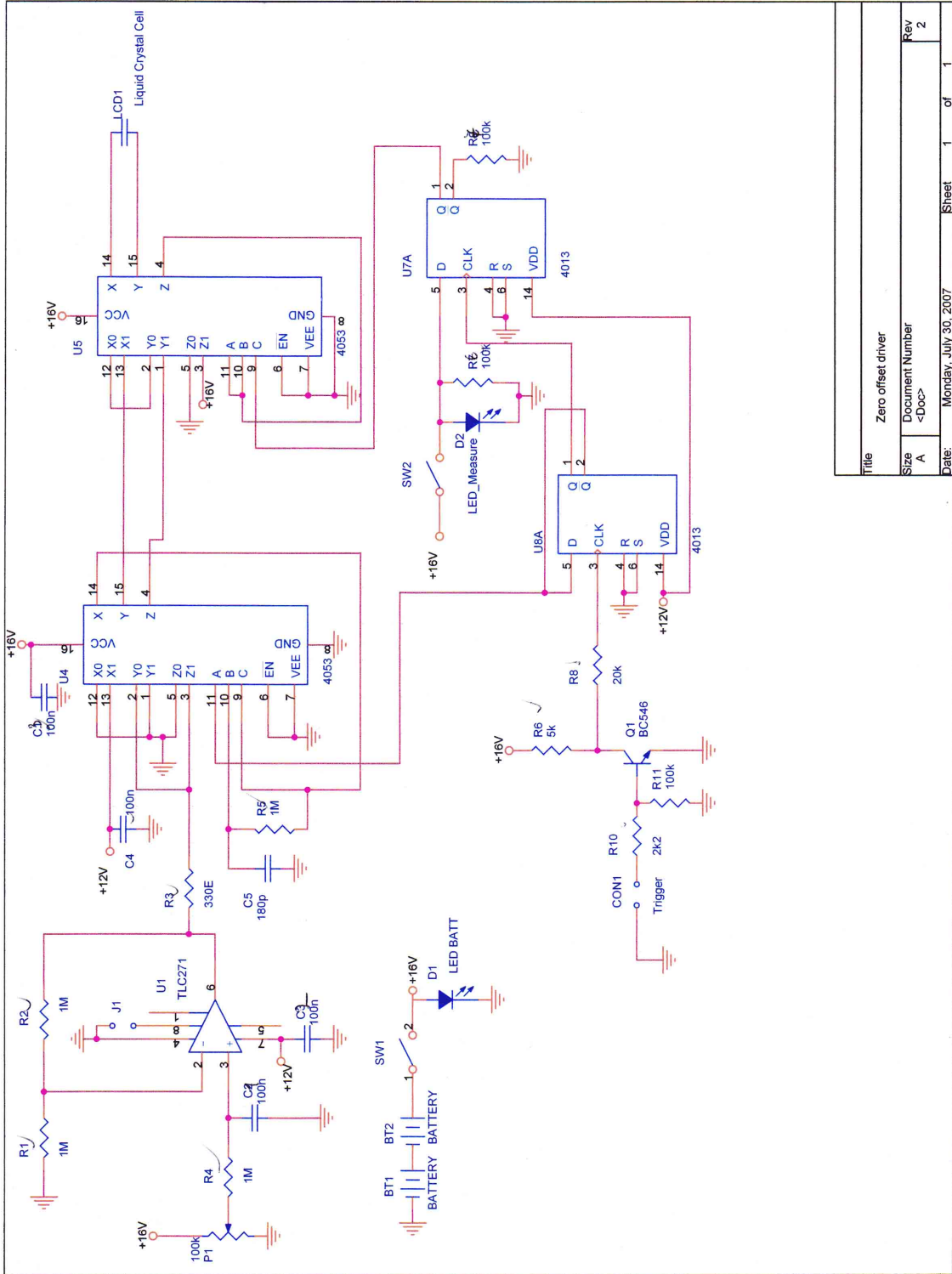
Ob vklopu napajanja se na čelni plošči (slika 6) prižge zelena lučka ki signalizira prisotnost napetosti. Izhod naprave je takrat še vedno kratko sklenjen. Predno se odločimo za izvedbo meritve je potrebno izhodno amplitudo še nastaviti. To storimo tako da na vhod pripeljemo že nek signal iz funkcijskega generatorja in na izhod priklopimo osciloskop, kjer lahko potem merimo amplitudo ki pa jo nastavljamo z potenciometrom na čelni plošči naprave. Ko nam amplituda ustreza na izhod priklopimo LCD celico in pričnemo z meritvijo. Da izhod postane aktiven (pri meritvah in umerjanju) moramo vklopiti rumeno stikalo na čelni plošči, kar povzroči sinhroniziran vklop izhoda glede na voden signal. Ko je meritev v teku nam to signalizira rdeča LED dioda na čelni plošči. Priklopa za vhod in izhod naprave pa sta BNC konektorja, ki sta v tehničnih laboratorijih stalna praksa.

Če se ustavimo še pri rdeči in zeleni tipki. To sta tipki pripravljene za nadgradnjo same naprave. Z njima bi se v prihodnje kontrolirala vklop in izklop meritve (namesto rumenega stikala), kar bi se izvajalo avtomatizirano s strani računalnika ali pa bi uporabnik meritev z zelenim gumbom sprožil in rdečim gumbom ustavil, sama naprava pa bi imela možnost časovnega izklopa po določenem številu pulzov.



*Slika 8: Primer končnega izdelka z uporabo LCD zatemnitvenih zaslonov*

Shema vezja



Title		Zero offset driver	
Size	A	Document Number	<Doc>
Rev	2	Date:	Monday, July 30, 2007
		Sheet	1 of 1

## Zaključek

Naprava je postala nepogrešljiva pri izvedbi merjenj v razvoju LCD zaslonov. Pri prvi verziji vezja se je pokazalo še nekaj, dodatnih idej kako izboljšati samo vezje, tako da je v gradnji že nova različica tega vezja

## Viri

- Multiplekser/demultiplekser CD4053  
<http://pdf1.alldatasheet.co.kr/datasheet-pdf/view/50867/FAIRCHILD/CD4053/datasheet.pdf>
- Operacijski ojačevalnik TLC271  
<http://www.hep.upenn.edu/SNO/daq/parts/tlc271.pdf>
- Dvojni D flip-flop 4013  
<http://www.fairchildsemi.com/ds/CD/CD4013BC.pdf>
- NPN tranzistor BC546  
<http://www.itee.uq.edu.au/~elec3400/datashts/BC549.pdf>
- Samodejni zatemnitveni filtri  
<http://www.balder.si>

## Zahvala

Rad bi se zahvalil sodelavcem IJS, še posebej doc. dr. Dušanu Ponikvarju pri strokovnih navodilih za izdelavo vezja, ter Eriku Gomezelu za pomoč pri izdelavi.