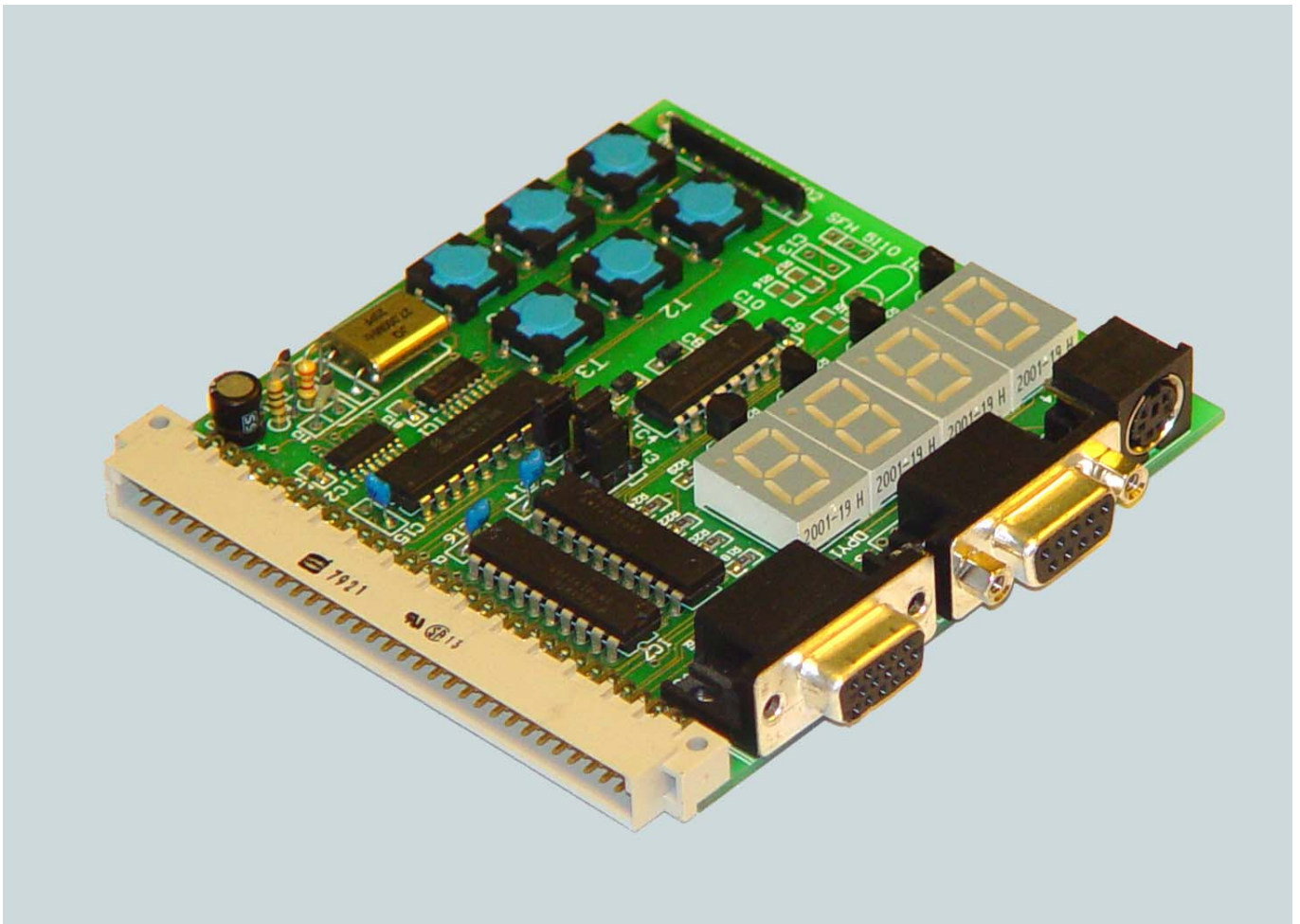


*Seminarska naloga*

---

# *FPGA Expansion COMM Board*

*for Xilinx Spartan-II FPGA*



*Matej Koncilja, vp. št. 64000635  
Copyright ©LNIV, 2002*

Xilinx Spartan-II **FPGA** (Field Programmable Gate Array) daje uporabnikom visoke performance, izobilje logike ter ogromne možnosti uporabe. Družina teh FPGAjev nam ponuja gostoto od 50 tisoč do 300 tisoč logičnih vrat, delovanje sistema pa podpira delovne frekvence tudi preko 200MHz.

Spartan II je superiorna alternativa maskovno programiranim ASICom, ker se s tem izognemo začetnim stroškom ter dolgem razvoju, programabilnost FPGAjev pa nam omogoča tudi nadgrajevanje brez nepotrebne nadomeščanja hardware-a.

Ta seminarska naloga zajema izdelavo kartice, ki omogoča Xilinx Spartan-IIE FPGAju serijsko in IR komunikacijo z zunanjimi enotami, krmiljenje VGA display-a, štetje ter 6 programirljivih tipk, katerih funkcije se določijo znotraj programa, ki je kasneje naložen v FPGA.

Če bi vezje želeli realizirati na tak način, da nebi bil noben pin uporabljen dvakrat, bi potrebovali veliko pinov, kar pa je zelo potratno. Zato so v vezju vhodno-izhodni pini uporabljeni dvojno. Z jumperjem J1 nastavljam funkcijo 3-stanjskega oktalnega zapaha D-tipa (3-state D-type octal transparent latch). Ko je J1 postavljen proti masi, uporabljamo vhodno-izhodne pine kot vhodne, v nasprotnem primeru pa koristimo linije kot izhodne za krmiljenje VGA displaya. Pravilnostna tabela zapaha je predstavljena v spodnji tabeli. Ta zapah pravzaprav deluje kot 3-state buffer.

<i>Pravilnostna tabela LS 373</i>			
<i>LE</i>	<i><math>\overline{OE}</math></i>	<i>D</i>	<i>Q</i>
<i>L</i>	<i>H</i>	<i>H</i>	<i>H</i>
<i>L</i>	<i>H</i>	<i>L</i>	<i>L</i>
<i>H</i>	<i>X</i>	<i>X</i>	<i>Hi-Z</i>

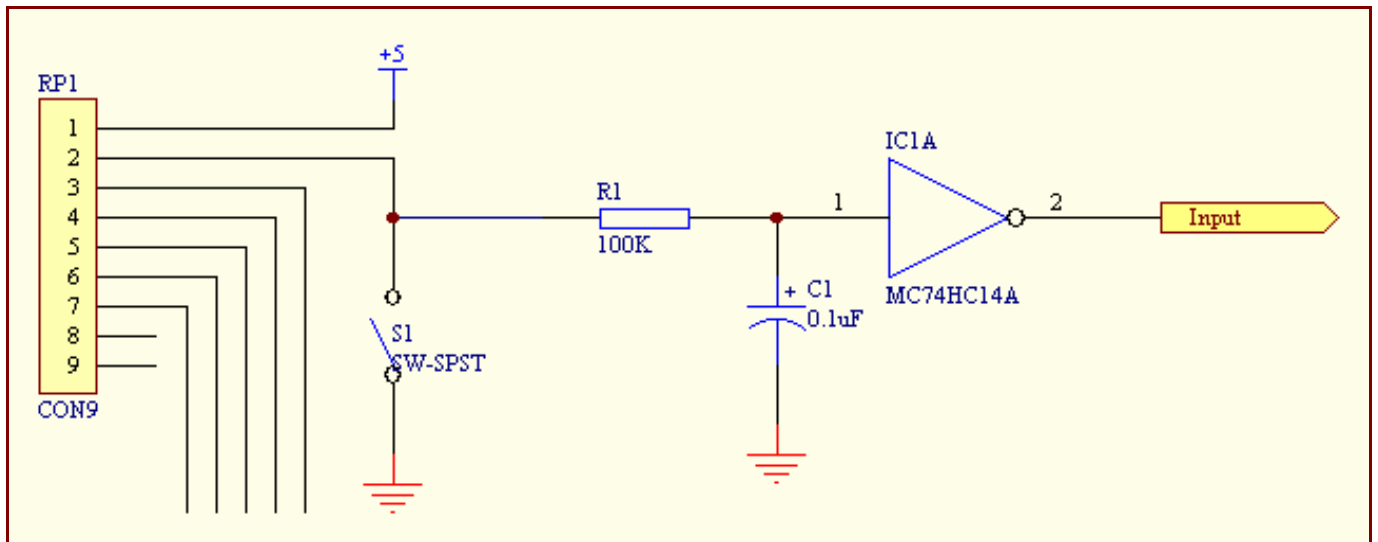
*LE* - *Latch Enable* (zapah omogočen)

*$\overline{OE}$*  - *Output Enable* (izhod omogočen)

Tipke so vezane preko uporovne verige proti masi, da ne pride do kratkega stika med plusom in maso ob pritisku tipke. Povezane so pravtako na invertirane Schmitt-ove prožilnike preko RC člena, kateri služi glajenju napetostnih špic, stanja na izhodu teh prožilnikov pa so ob nepritisnjeni tipki na nizkem logičnem nivoju. Napetost na kondenzatorju obstaja, to je vzeto kot visoki logični nivo, izhod je pa invertran.

<i>Pravilnostna tabela LS 14</i>	
<i>Input</i>	<i>Output</i>
<i>L</i>	<i>H</i>
<i>H</i>	<i>L</i>

Segment iz opisanega dela vezja prikazuje sledeča slika, kjer je lepo razvidno, kako poteka povezava od napajanja, preko tipke ter RC člena do Schmittovega prožilnika, labela z imenom "Input" pa je peljana na podatkovni vhod zapaha.



Naslednji del vezja predstavlja 4 mestni 7-segmentni prikazovalnik. Segmenti se vsi nahajajo na istem 8-bitnem vodilu, osveževanje podatkov pa poteka preko štirih NPN transistorjev, katerih baze so krmiljene z nadaljnimi štirimi izhodnimi linijami. Vse linije se peljejo z FPGAja preko dvosmernega vodila (3-state octal bus transceiver), katerega funkcija se nastavlja z dvema kontrolnima signaloma. To sta signal za omogočanje ter signal za smer pretoka podatkov. Dokler je vezje omogočeno (signal Enable je aktivno nizek), se s signalom za smer določa ali se podatki prenašajo od A k B ali obratno. Ko pa se signal Enable dvigne, pa je integrirano vezje izolirano. Pravilnostna tabela LS 245 je predstavljena spodaj.

<i>Pravilnostna tabela LS 245</i>		
$\bar{E}$	<i>DIR</i>	<i>OPERACIJA</i>
<i>L</i>	<i>L</i>	<i>B ⇒ A</i>
<i>L</i>	<i>H</i>	<i>A ⇒ B</i>
<i>H</i>	<i>X</i>	<i>Izolacija</i>

$\bar{E}$  - *Enable* (omogočen)

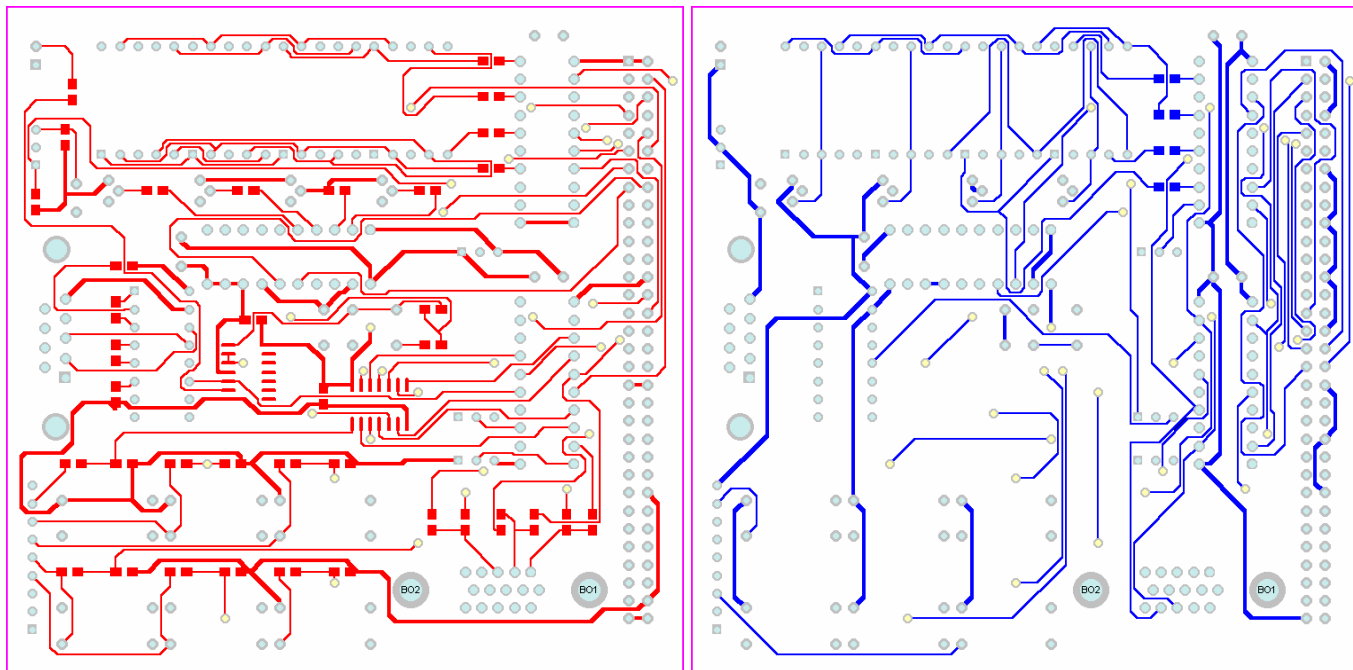
*DIR* - **DIR**ection (smer)

To vezje vedno deluje v smeri od  $A \Rightarrow B$ , z jumperjem J3 pa ga lahko le omogočamo (J3 postavimo proti masi) ali pa izoliramo (J3 postavimo proti napajanju).

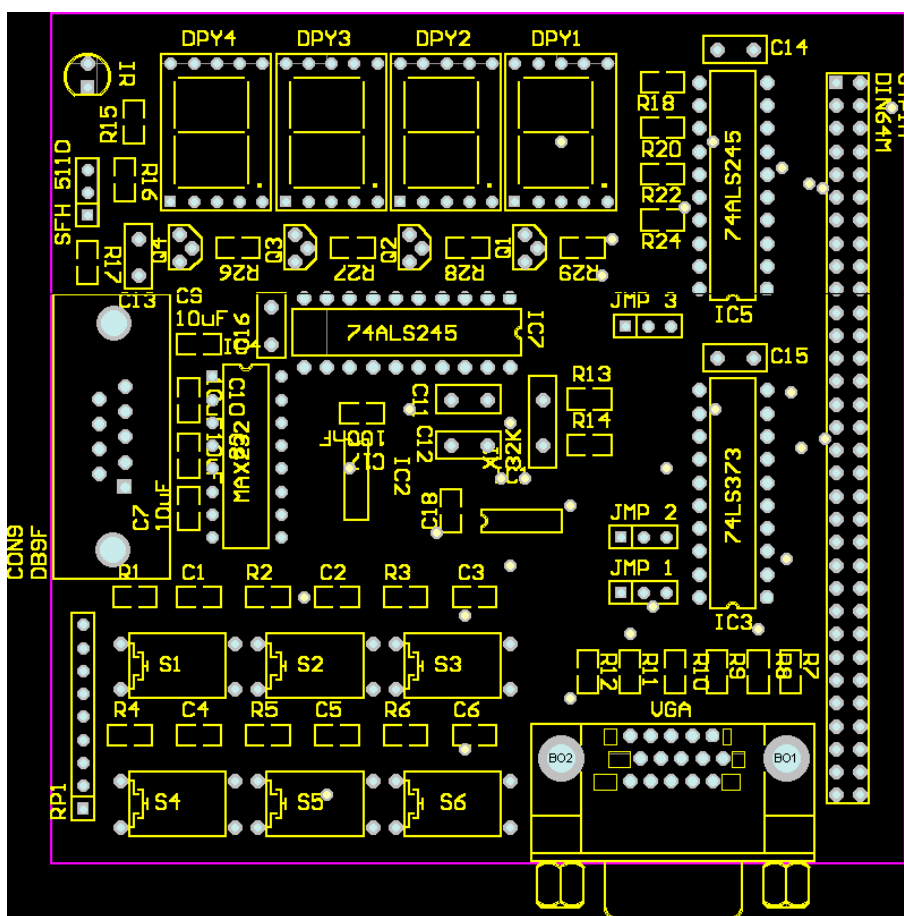
Naslednji del vezja je komunikacijski del. Omenil sem že, da je vezje sposobno serijske in IR komunikacije. Oddajanje poteka sočasno preko serijskega priključka in IR oddajne diode, ker sta vezana direktno z isto linijo. Signal prihaja na IR oddajno diodo preko bufferja, na serijski pin pa preko IC MAX 232, ki zagotavlja ustrezen napetostni nivo in istočasno predstavlja tudi zaščito za računalniški port. Sprejem pa je izveden ločeno. Z jumperjem J2 izbiramo med sprejemom preko IR sprejemne diode ter serijskim sprejemom. Podatke sprejemamo z diode ko se J2 nahaja med pinoma 2 in 3, ko pa sta pina med 1 in 2 pa imamo aktiven serijski sprejem. To je le varnostni ukrep, da se podatki nebi pokvarili, če bi med serijsko komunikacijo IR dioda sprejela kakšen motilni signal.

Zadnji del vezja pa predstavlja še PS/2 port, na katerega imamo možnost priključiti tudi tipkovnico ali pa miško.

Tiskano vezje je izdelano dvostransko, povezave pa prikazujeta spodnji sliki (zgornja plast - levo, spodnja plast - desno).



Razporeditev elementov je razvidna iz sledeče slike:



## Seznam uporabljenih elementov:

	Designator	Part Type	Footprint		Designator	Part Type	Footprint
1	C4	0.1uF	805	41	R19	270E	805
2	C3	0.1uF	805	42	R23	270E	805
3	C6	0.1uF	805	43	R24	270E	805
4	C5	0.1uF	805	44	R25	270E	805
5	C2	0.1uF	805	45	R20	270E	805
6	C1	0.1uF	805	46	R21	270E	805
7	R27	1K	805	47	R22	270E	805
8	R29	1K	805	48	R9	330E	805
9	R28	1K	805	49	R7	330E	805
10	R26	1K	805	50	R11	330E	805
11	Q4	2N3906	SOT54	51	R12	680E	805
12	Q1	2N3906	SOT54	52	R8	680E	805
13	Q2	2N3906	SOT54	53	R10	680E	805
14	Q3	2N3906	SOT54	54	R16	<100E	805
15	R13	10M	805	55	C13	>4.7uF	C160
16	C10	10uF	1206	56	R17	>10K	805
17	C8	10uF	1206	57	C20	CAPACITOR POL	CR100
18	C7	10uF	1206	58	J1	CON3	SIP3
19	C9	10uF	1206	59	SFH 5110	CON3	SIP3
20	C12	20pF	C160	60	J3	CON3	SIP3
21	C11	20pF	C160	61	J2	CON3	SIP3
22	X1	32K	XTAL1	62	PS/2	CON6	MINIDIN6
23	IC7	74ALS245	DIP-20	63	TS	CON9	SIP9
24	IC5	74ALS245	DIP-20	64	RP1	CON9	SIP9
25	IC2	74LS04	SO-14	65	VGA	CON15	DB15FLC
26	IC3	74LS373	DIP-20	66	CON9	DB9F	DB-9RA/F
27	R4	100K	805	67	64Pin	DIN64M	DIN64M90
28	R1	100K	805	68	DPY3	DPY_SA52_11HWA	7seg_dp
29	R2	100K	805	69	DPY2	DPY_SA52_11HWA	7seg_dp
30	R3	100K	805	70	DPY4	DPY_SA52_11HWA	7seg_dp
31	R14	100K	805	71	DPY1	DPY_SA52_11HWA	7seg_dp
32	R6	100K	805	72	IR	LED	LED3
33	R5	100K	805	73	IC4	MAX232	DIP16
34	C18	100nF	805	74	IC1	MC74HC14A	SO-14
35	C17	100nF	805	75	S6	SW-SPST	sw4pin
36	C15	100nF	C160	76	S5	SW-SPST	sw4pin
37	C16	100nF	C160	77	S2	SW-SPST	sw4pin
38	C14	100nF	C160	78	S1	SW-SPST	sw4pin
39	R15	120E	805	79	S4	SW-SPST	sw4pin
40	R18	270E	805	80	S3	SW-SPST	sw4pin

Priloge:

LS 14 Datasheet  
LS 245 Datasheet  
LS 373 Datasheet

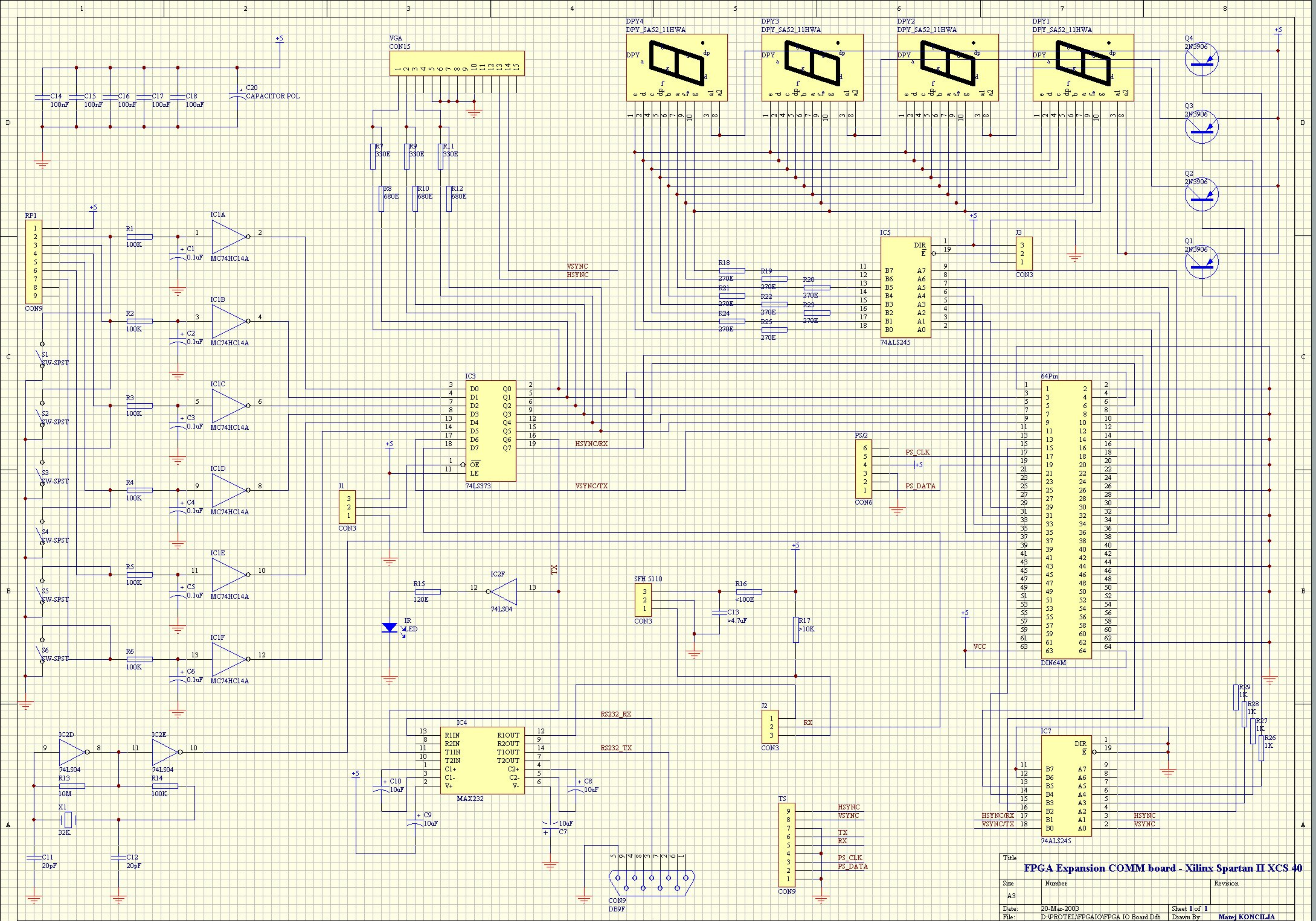
MAX 232 Datasheet

SFH 5110 Datasheet

Spartan-IIE - Introduction and Ordering Information  
Spartan-IIE - Detailed Functional Description  
Spartan-IIE - DC and Switching Characteristics  
Spartan-IIE - Pinout Tables

### ***Zahvale***

V zaključku bi se rad še zahvalil mojima mentorjema g. Andreju Trostu in g. Andreju Žemvi, ki sta budno spremljala napredek pri načrtovanju tiskanega vezja in me usmerjala v pravo smer, ter stalni sestavi LNIV, ki so mi tudi pomagali s praktičnimi nasveti ter izbiro ustreznih elementov.



Title		
<b>FPGA Expansion COMM board - Xilinx Spartan II XCS 40</b>		
Size	Number	Revision
A3		
Date:	20-Mar-2003	Sheet 1 of 1
File:	D:\PROTEL\FPGA\IO\FPGA IO Board.Ddb	Drawn By: Matej KONCILJA