

Univerza v Ljubljani  
Fakulteta za elektrotehniko

Aleš Dolinar

# **PMC DIGITAL SIGNALLING PROCESSOR UNIT**

Seminarska naloga pri predmetu Elektronska vezja

Kranj, junij 2005

## 1. UVOD

DSP procesorska enota se uporablja za Voice Over IP procesiranje in je odgovorna za obdelavo podatkov med TDM (Time Division Multiplexing) ter IP (Internet Protocol) omrežji. Vezje je sestavljeno iz polja 5 DSP procesorjev za VOIP procesiranje ter ethernet stikala in PHY (fizični nivo) vmesnika. Plošča je narejena po PMC (PCI Mezzanine Card) standardu z dvema PCI konektorjema J1 in J2, ter dodatnima J3 in J4 konektorjema, ki skrbita za priključitev TDM in ethernet vodil. Enota se uporablja kot medijski prehod - univerzalni element za premoščanje klasičnih vodovno-komutiranih omrežij in paketnih omrežij. Predmet seminarske naloge je torej projektiranje shematskega načrta, nadzor projektiranja in izdelave tiskanega vezja ter kodiranje RTL-a za CPLD na plošči v jeziku VHDL.

## 2. OPIS VODIL

### 2.1 PCI VODILO

PCI uporablja 32 bitno multipleksirano naslovno – podatkovno vodilo AD[31:0]. Prenos se prične s pošiljanjem naslova na AD[31:0] pri prvi fronti ure – naslovna faza (*address phase*). Naslovna faza se začne z aktiviranjem FRAME# signala.

Naslednji urin cikla se prične s prvo od ene ali večih podatkovnih faz (*data phase*) pri kateri se prenašajo podatki po AD. Signal FRAME# je postavljen toliko časa, dokler je pobudnik prenosa (initiator) pripravljen (IRDY#). Cilj (target) je pripravljen z TRDY# signalom in se javi s signalom DEVSEL#.

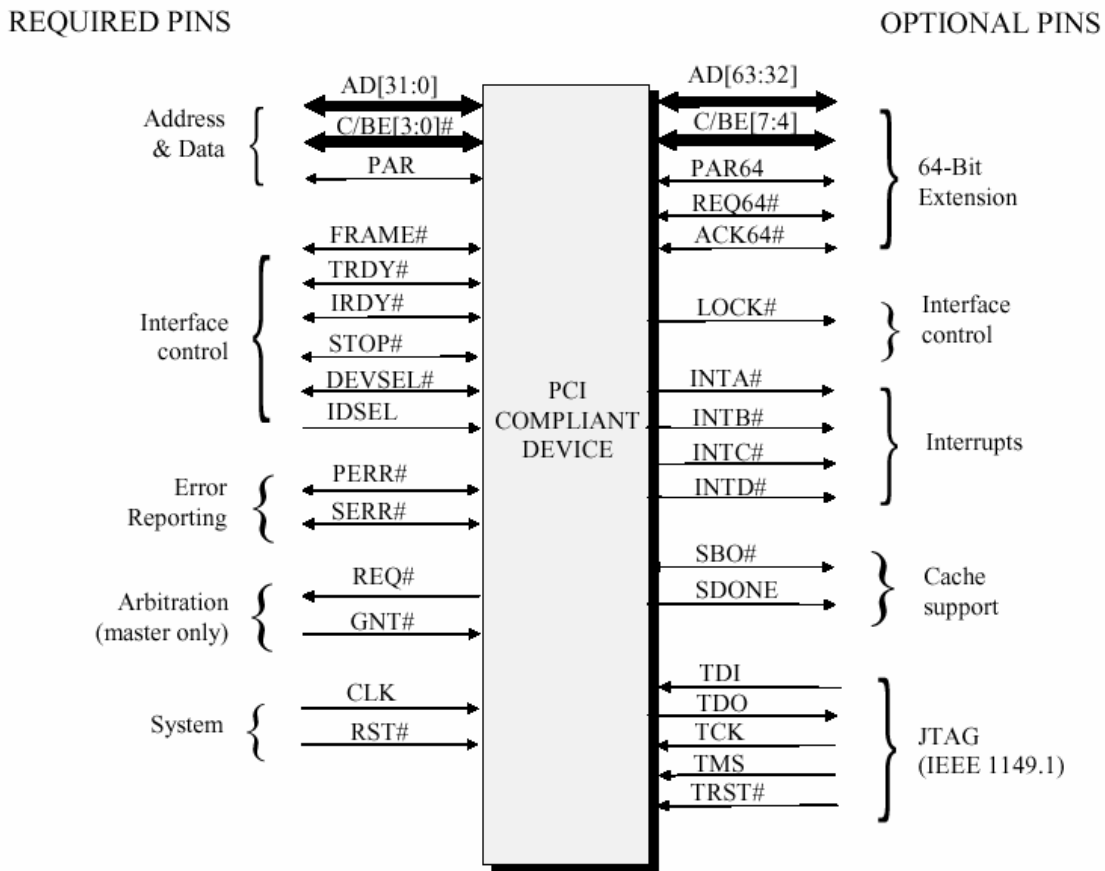
Za zadnji predani podatek pobudnik deaktivira FRAME# pri čemer mora biti IRDY# aktiven, ter s tem signalizira da gre za zadnji pulz prenosa podatkov. Zadnji podatkovni prenos se izvede ko sta oba IRDY# in TRDY# aktivirana. Prenos je končan ko sta IRDY# in FRAME# deaktivirana.

Pobudnik pošilja C/BE[3:0]# signal med naslovno fazo, da signalizira tip prenosa (memory read, memory write, I/O read, I/O write, itd). Med podatkovno fazo C/BE[3:0]# služi kot byte enable za prikazovanje kateri byti so veljavni. Oba, initiator in target lahko ustavita prenos podatkov z deaktiviranjem IRDY# in TRDY# signalov. Veljaven podatkovni prenos je pri vsaki dvigajoči fronti CLK pri kateri sta oba IRDY# in TRDY# aktivirana.

Pariteta (PAR) je sode pariteta čez AD(31:0) in C/BE(3:0)#. Generiranje paritete je obvezno za vse PCI agente. Pri branju mora biti PAR stabilen in veljaven en urin impulz po aktivnem TRDY#. Ko je PAR enkrat veljaven ostane veljaven še en urin impulz po končani trenutni podatkovni fazi.

Arbiter skrbi za dodeljevanje GNT# (grant) signala, ki agentom omogoča uporabo vodila. Vsak agent mora poslati zahtevo za uporabo vodila REQ# , arbiter pa skrbi za dodeljevanje vodila. Bus parking se uporablja za dodeljevanje vodila ko noben od agentov ne zahteva uporabe vodila.

Opis pinov:



## 2.2 GIGABIT ETHERNET IN SERDES

Ethernet PHY nam dopušča izbiro delovanja; lahko uporabimo standardno povezavo preko UTP kabla ali pa optično povezavo.

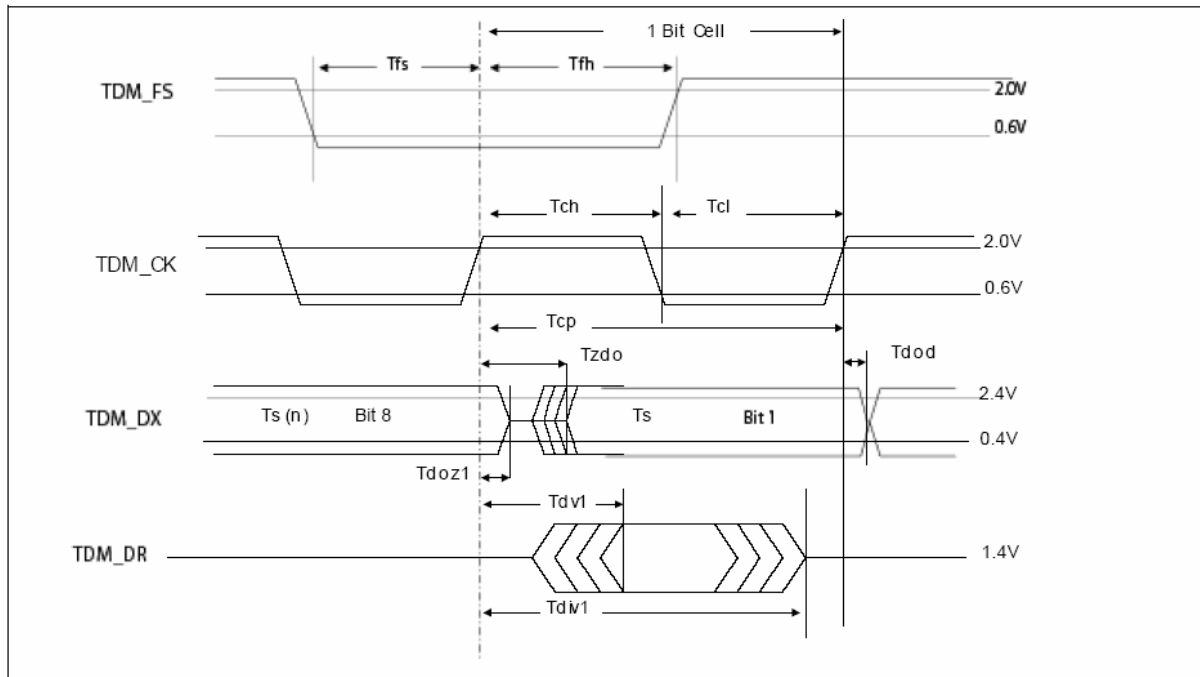
Ena izmed možnosti za prenos ethernet paketov v omrežje je 1000Base-T ali Gigabit ethernet. Tu promet teče iz ethernet PHY vezja preko 1:1 transformatorja na RJ-45 ethernet konektor. PHY vezje podpira tri hitrosti (10/100/1000 Mbps) odvisno od zmožnosti link partnerja na drugi strani povezave. Promet poteka po vseh štirih paricah v obeh smereh pri hitrosti 125MHz. Priključitev paric na RJ-45 konektoru:

Pin	Opis Signala	Pin	Opis Signala
1	Transmit/Receive Data 0 +	5	Transmit/Receive Data 2 -
2	Transmit/Receive Data 0 -	6	Transmit/Receive Data 1 -
3	Transmit/Receive Data 1 +	7	Transmit/Receive Data 3 +
4	Transmit/Receive Data 2 +	8	Transmit/Receive Data 3 -

SerDes vmesnik se uporablja za povezavo med ethernet PHY in ustreznim modulom za prenos preko optičnih vlaken (fiber module).

## 2.3 TDM (Time Division Multiplexing)

En DSP je sposoben procesiranja 256 časovno multipleksiranih kanalov. Frekvenca TDM vodila je lahko 8.192 MHz, 16.384 MHz ali pa 32.768 MHz. TDM vodilo potrebuje za delovanje še FRAME signal, ki označuje paketne okvire. Za izmenjavo podatkov pa skrbita RX in TX serijski liniji.



TDM ČASOVNI POTEK

## 2.4 OSTALI VMESNIKI

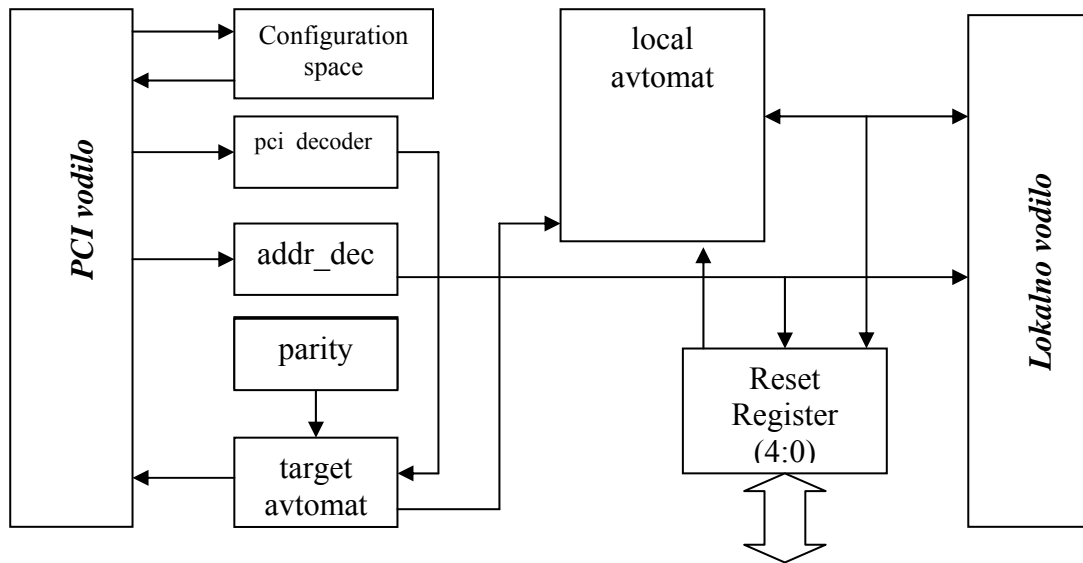
### 2.4.1 Lokalno CPU vodilo

Lokalno vodilo se uporablja za krmiljenje ethernet stikala. Vodilo se uporablja za 8-bitni CPU dostop do stikala. Ne uporablja se direktn CPU dostop preko npr. lokalnega procesorskega vodila ampak preko PCI vmesnika, ki je realiziran v CPLD vezju.

Lokalno vodilo ima nabor signalov kot so prikazani v spodnji tabeli. 8 bitno podatkovno vodilo mora biti tristanjsko.

Preprosto lokalno vodilo (15 signalov)	
Ime signala	Opis funkcije
P_A[2:0]	3 bitno naslovno vodilo
P_DATA[7:0]	8 bitno podatkovno vodilo
P_RD#	Signal za branje podatkov
P_WE#	Signal za pisanje podatkov
P_CS#	Signal za izbiro vodila
P_INT	Prekinitve na lokalnem vodilu

Blok shema PCI vmesnika v CPLD vezju :



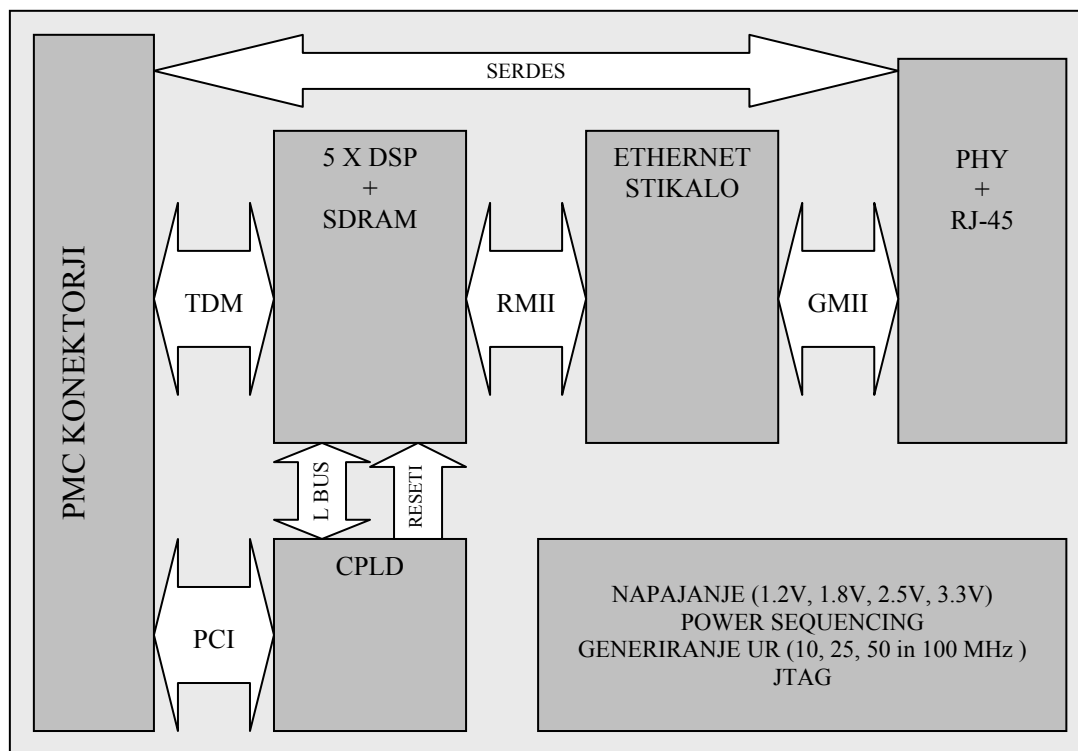
#### 2.4.2 GMII in RMII vmesniki

Za povezavo med DSP-ji in ethernet stikalom se uporablja RMII (Reduced Media Independent Interface), med ethernet stikalom in PHY-jem pa GMII (Gigabit Media Independent Interface).

### 3. ZGRADBA IN DELOVANJE

#### 3.1 Opis

Spodnja slika prikazuje blok shemo plošče:



BLOK SHEMA DSP PLOŠČE

Štirje 64 pinski **PMC konektorji** imajo standardno določeno razporeditev pinov, J1 in J2 se uporabljata za PCI, J3 za SERDES J4 pa za TDM signale. Preko konektorjev se na plošča dovaja tudi 3.3 in 5V napajanje.

Integrirana vezja na plošči zahtevajo več različnih nivojev napajanja. Napajanja se generirajo s pomočjo DC-DC pretvornikov iz 3.3 ali 5 V. Posebno pozornost je potrebno nameniti 1,2 V napajanju za DSP-je saj porabljajo približno 1,8W moči na posamezen čip, torej moramo uporabiti dovolj močan vir.

Na vsak DSP moramo najprej spustiti 3,3 V napajanje vhodno izhodnih portov šele nato pa lahko dovedemo še napetost jedru (1,2 V). Za to poskrbimo s posebnim power sequencing vezjem, ki nam s pomočjo dodatnih tranzistorjev omogoča določanje vrstnega reda dovajanja napetosti na vezja.

Vse ure se generirajo na plošči s pomočjo različnih kvarčnih oscilatorjev. Tam kjer so ure povezane na več različnih uporabnikov se uporabljajo dodatni buferji.

**Programirljivo CPLD vezje** vsebuje enostaven PCI bridge, ki vsebuje samo target funkcionalnost. Uporabljen je Xilinx-ov CPLD XC95144xl tq100 z 81 uporabniškimi vhodno/izhodnimi pini in 144 makrocelicami, ki so razporejene v 8 funkcijskih blokov. Programiranje vezja se vrši preko JTAG pinov s pomočjo ustreznega programatorja.

Opis implementiranih PCI funkcionalnosti:

- 32-bitni PCI vmesnik
- Kompatibilen z PCI 2.2 specifikacijami (33 MHz)

- Podpira samo PCI target SM
- Podprte target funkcije:
  - ✓ Type 0 Configuration Space Header
  - ✓ I/O Read, I/O Write
  - ✓ Configuration Read, Configuration Write
- Vsebuje enostaven konfiguracijski prostor, ki skrbi za omogočanje I/O ciklov, nastavitvev BAR naslova, poleg tega pa hrani še identifikacijske podatke in statusni register. Vpis na preostale naslove se ne vrši ob branju pa dobimo same ničle.

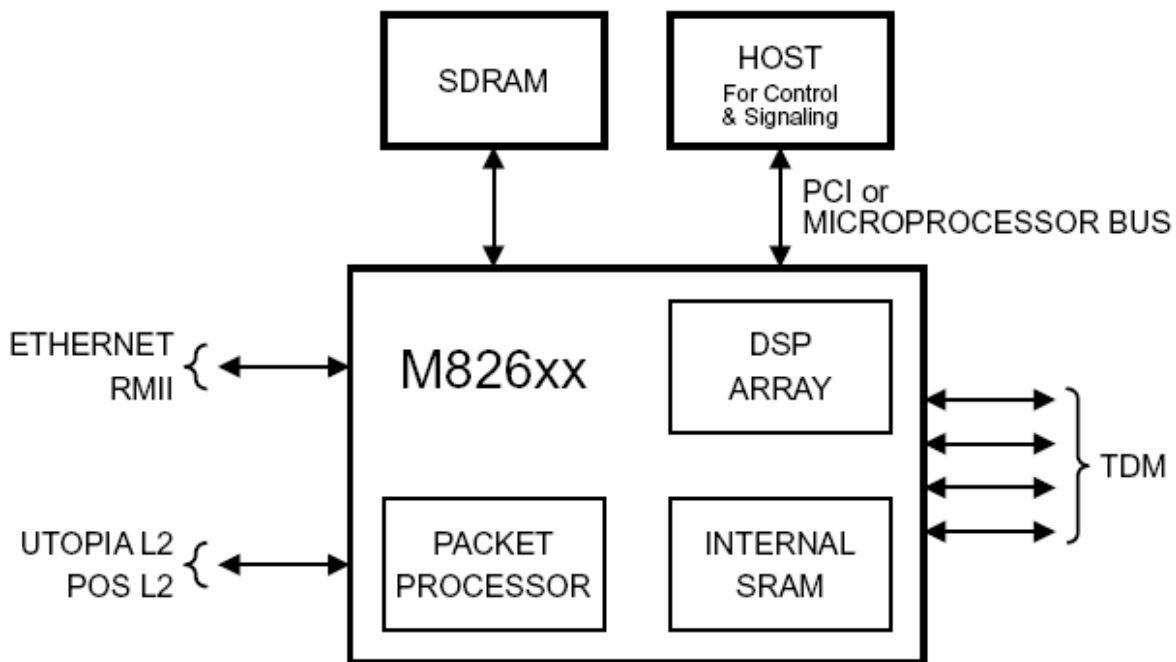
31		16 15		0
Device ID		Vendor ID		00h
Status		Command		04h
Base Address Register (BAR #0)				
10h				

CONFIGURATION SPACE

- Reset register: 5 bitni register na naslovu 09h za reset DSP-jev ('0' - reset, '1' – ni reseta)

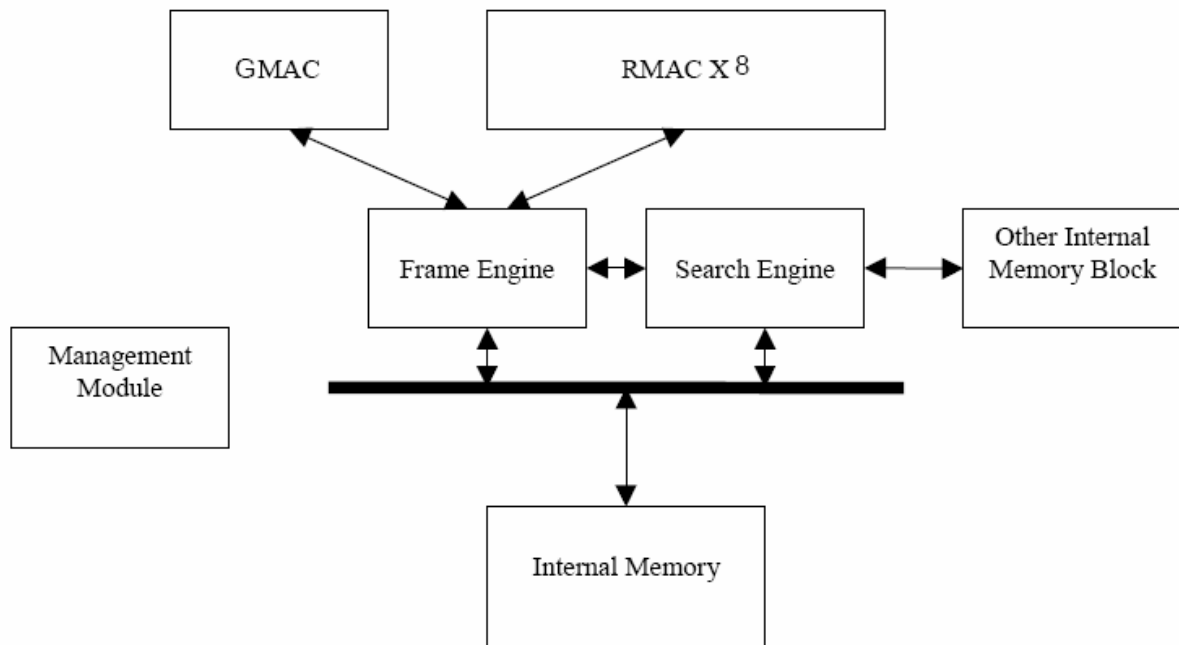
Mindspeedov M82610 je sestavljen iz večih **DSP** jeder, ARM920 procesorja ter večih standardnih industrijskih vodil. DSP jedra so optimizirana za zvočno kodiranje, ARM procesor pa skrbi za obdelavo različnih paketov. S pomočjo ustrezne programske opreme predstavlja odlično system-on-chip rešitev za VoIP aplikacije. Vezje prav tako podpira packet-to-TDM, packet-to-packet, ali TDM-to-TDM operacije za najrazličnejše IP in ATM protokole (G.711, G.723.1, G.726, G.728, G.729, GSM FR/EFR, AMR)

Ker vsak DSP omogoča obdelavo 256 TDM kanalov nam vseh 5 skupaj omogoča 1280 kanalov. Vsak DSP potrebuje za delovanje tudi 128 Mbit SDRAM, ki mu zagotavlja dodaten spomin. Ob nalaganju programske kode vsak DSP sprejme svoj MAC naslov preko etherneteta zato moramo iz reseta dati enega za drugim – zato rabimo krmiljene reset signale.



FUNKCIJSKA BLOK SHEMA DSP-ja

Kot **ethernet stikalo** uporabljamo Zarlinkov ZL50408. Ta je sestavljen iz osmih 10/100 Mbps portov, enega 1 Gbps in CPU vodila. ZL50408 podpira do 4 K MAC naslovov in navideznih LAN (VLAN) portov. Vezje ima integrirano 256 kilobytov internega spomina. V naši aplikaciji povezuje pet 100 Mbps portov v en 1000 Mbps port. S pomočjo lokalnega vodila (CPU) pa mu lahko vpisujemo in beremo vrednosti v notranjih registrih.



FUNKCIJSKA BLOK SHEMA ETHERNET STIKALA

**Ethernet sprejemno-oddajni PHY modul** BCM5461S proizvajalca Broadcom skrbi za povezavo preko CAT 5 TP kablov ali pa preko SerDes vmesnika na optične module ali druga SerDes kompatibilna vezja. Priključen je na 1:1 transformator, parice pa se nato zaključijo v RJ-45 konektor (10 pinški ethernet konektor). Podpira 10BASE-T/100BASE-TX/1000BASE-T povezave, poleg tega pa kompatibilen z IEE 802.3, 802.3u, in 802.3ab standardi. Zanj je značilna zelo nizka poraba (700mW na port), ki je posledica CMOS tehnologije in integriranih nizkonapetostnih regulatorjev.

Za potrebe gigabit etherneteta povezujemo štiri parice, če deluje povezava z nižjo hitrostjo PHY uporablja samo dve parici. Posebno skrb je potrebno posvetiti obliki in dolžini paric saj lahko neprimerna oblika paric zaradi velikih hitrosti prenosa podatkov povzroča popačitve, odboje ter druge nevshečnosti.

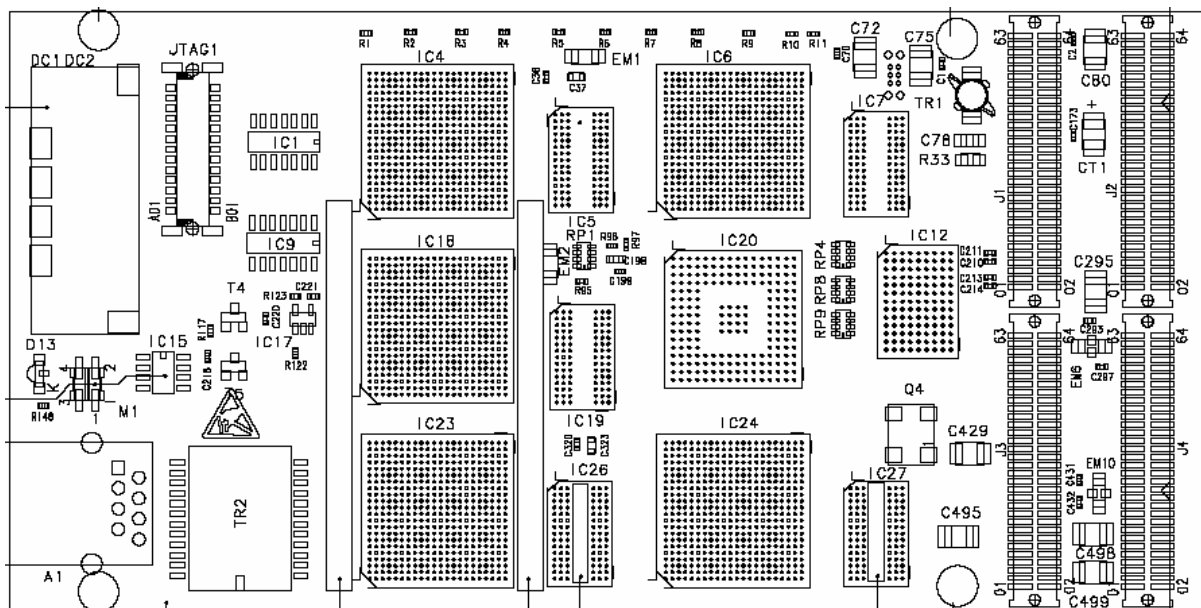
Plošča se uporablja v kombinaciji z matično ploščo in dodatno procesorsko ploščo. Na ploščo spustimo RTP (Real-time Transport Protocol (audio, video data)) pakete, ti se v DSP-jih obdelajo v ethernet pakete ti pa se potem pošljejo v ethernet omrežje. Zanimivo je da lahko s pomočjo procesorja preko PCI vmesnika krmilimo ethernet stikalo in mu nastavljamo oziroma beremo različne parametre in statuse. Ker pa sta med seboj preko management porta (preko le tega običajno poteka auto-negotiation) povezana tudi stikalo in PHY, lahko nastavljamo oziroma beremo različne parametre in statuse tudi v registrih PHY-ja.

PHY pa lahko konfiguriramo za pretvarjanje SERDES – COPPER, ki nam omogoča pošiljanje prometa iz 10/100/1000BASE-T na 1000BASE-X, torej iz običajnega UTP ethernet omrežja na optična omrežja ali obratno.

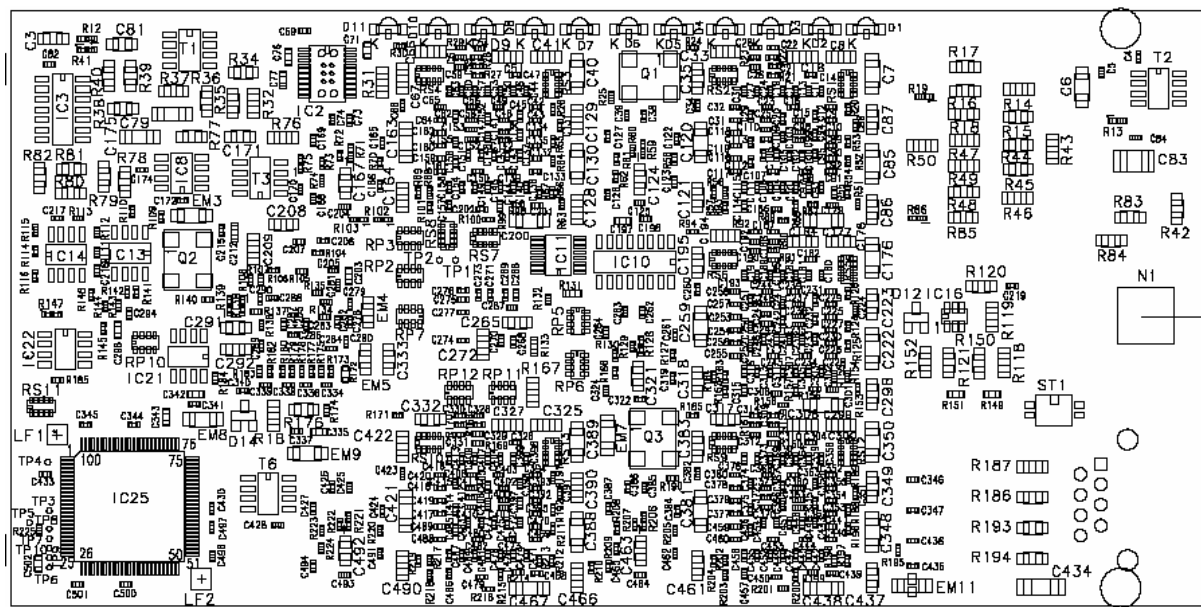


## 4. POSTAVITEV KOMPONENT

Slika prikazuje spodnjo stran plošče:



Slika prikazuje razporeditev elementov na vrhni strani plošče:



## **5. ZAKLJUČEK**

Vežje se lahko nadgradi z novejšo serijo DSP-jev (M82710), ki omogoča obdelavo 400 TDM kanalov na čip, torej skupaj 2000 TDM kanalov. Nadgradnja je enostavna zaradi enake razporeditve pinov, potrebno je le spremeniti napajanje na 1,1 V.

## **6. REFERENČNI DOKUMENTI**

Podatki o uporabljenih integriranih vezjih in drugih elementih so priloženi v elektronski obliki:

- M82610 Communications Convergence Processor Data Sheet,
- BCM5461S 10/100/1000BASE-T Gigabit Ethernet Transceiver Data Sheet,
- ZL50408 Managed 8-Port 10/100M + 1-Port 10/100/1000M Ethernet Switch Data Sheet
- Xilinx XC95144XL data sheet
- Ostali dokumenti in internetni viri