

Univerza v Ljubljani
Fakulteta za elektrotehniko

Primož Alič

Generator signalov

Seminarska naloga

pri predmetu
Elektronska vezja

V Ljubljani, februar 2006

1. UVOD

Poročilo seminarske naloge opisuje načrtovanje preprostega generatorja signalov. Služil naj bi, kot nadomestek funkcijskemu generatorju, kjer proces ne zahteva natančnih, visokozmogljivih predvsem pa dragih funkcijskih generatorjev.

Odločil sem za mikroprocesorski dizajn s cenovno ugodnim mikroprocesorjem v območju delovanja 10MIPS. Kontrolirane spremembe, v okolici mikroprocesorja, so v tem primeru najmanj 10X manjše, torej cca. 1MHz. Tudi za amplitudno ločljivostjo ne gre visoko meriti. Ker je večina malih mikroprocesorjev 8-bitnih, bo tudi sama taka.

Podobnih projektov je že nekaj narejenih a brez praktičnih funkcionalnih podrobnosti. Za signalni vir je primerno, da je, kot ga vidimo v shemah, majhen krogec z dvema priključkoma. Odločil sem se za baterijsko napajanje, ki omogoča prenosljivost in galvansko spojitve samo preko izhodnih sponk. Seveda mora biti generator tudi nastavljiv. Za to sem izbral dve rešitvi: elegantno, s pomočjo osebnega računalnika in »terensko«, na generatorju samem. Generator naj bi proizvajal sinusno, pravokotno, trikotno in žagasto napetost.

Osnovni podatki:

Vcc – napajalna napetost3 V (+/- 1.5 V)

I₀ – poraba med delovanjem*<7.3 mA

SNR – razmerje signal – šum<49.12 dB

Fmin – najmanjša frekvenca.....66.225 mHz

Fstep – korak nastavitve frekvence.....66.225 mHz

Fmax – maksimalna frekvenca**.....555.555 kHz

* različna glede na obliko signala

** frekvenca, ko je signal še sestavljen iz istih (dveh) vzorcev

2. BLOKOVNA RAZDELITEV

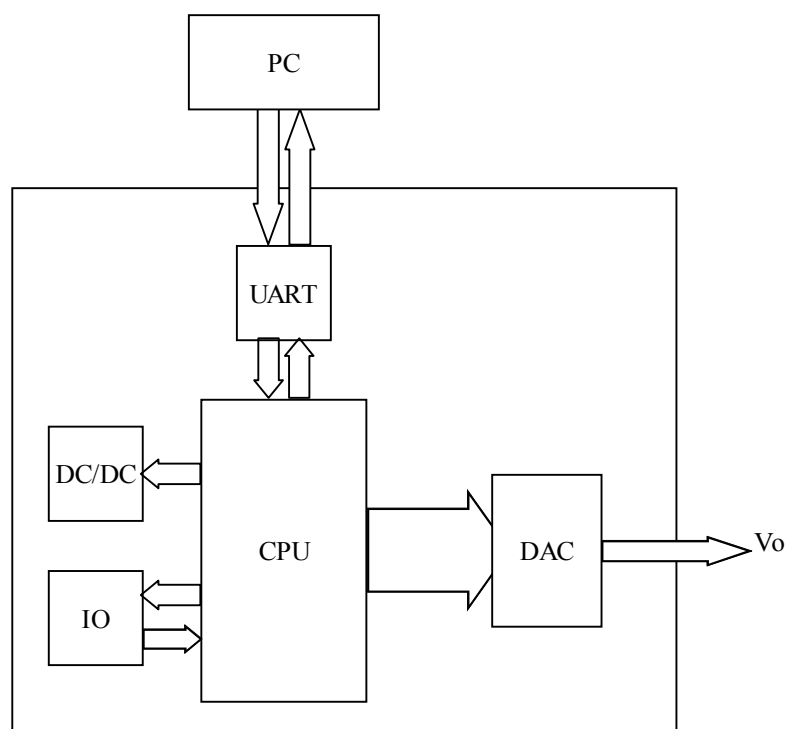
Jedro generatorja je 8 bitni AVR mikroprocesor, ki s 8 linijami krmili digitalno analogni pretvornik, iz katerega direktno prihaja izhodni signal.

Izhodnega napetostnega sledilnika ni, ker se proizvaja signal in ne močnostni signal. Taki viri se ponavadi uporabljajo v sistemih, ki z lastnimi ojačevalniki upoštevajo izhodno upornost generatorja. Tudi poraba vezja bi bila z dodatnim elektronskim sklopom na izhodu večja, kar pa si ob baterijskem napajanju ne želimo.

Vezje napajata dve 1.5 V bateriji. Stičišče bateriji je določeno kot GND, kar pomeni, da bo DAC, ki ima območje izhodne napetosti med priključkoma baterij, proizvajal pozitivno in negativno napetost.

Da je GND na sredini napajalne napetosti, povleče za seboj manjšo nerodnost pri komunikaciji z osebnim računalnikom po protokolu UART (ne RS232). UART nivoji v 3.3 voltnih sistemih, na kakršnega bo priključen generator, potrebujejo napetost nad 2.5 V. Za napetost višjo od 1.5 V, skrbi DC/DC pretvornik.

Za lažje delo so v IO bloku še dve tipki in 4 signalne LED.



slika 1: Blokovna shema vezja

2. 1. CPU

Trenutno najprimernejši mikroprocesor se mi je zdel Atmelov AVR, AT-TINY2313. Njegova RISC arhitektura omogoča hitro izvajanje ukazov, do 3 cikle ure za ukaz. Frekvenca ure pa lahko seže do 10MHz pri napajalni napetosti 3 V, kar ga naredi primerne kandidata za načrtovano vezje. Nudi 15 vhodno/izhodnih linij. Od tega je 8 namenjenih krmiljenju DAC-a, 2 za komunikacijo preko UART-a, 1 za DC/DC pretvornik, 2 za tipki in 2 za 4 LED.

Na voljo ponuja 2kB FLASH programskega pomnilnika, 128B RAM-a in prav toliko EEPROM-a.

2. 1. 1. GLAVNA PROGRAMSKA ZANKA

Program za mikroprocesor, je napisan v zbirnem jeziku, zaradi potrebe po kompaktnosti in predvsem hitrosti. Njegova glavna zanka, ki se odvija vedno, razen ob prekinitvah uporabnika, porabi za en prelet 9 urin ciklov. Med tem preletom prebere eno izmed shranjenih vrednosti signala iz pomnilnika in jo posreduje na izhodne linije, DAC-u, ter poveča register, ki hrani naslove vrednosti signalov. Te vrednosti so shranjene na 256 programskih pomnilniških lokacijah, za vsako obliko signala en tak sklop. Za izhodne vrednosti štirih oblik signala je porabljeno kar 1kB pomnilnika. Ti podatki so kvantizirane vrednosti dejanskega signala vsako 1/256 periode.

Register se povečuje s prištevanjem poljubnega števila. Register in število sta sestavljena iz 24 bitov a se za naslov pomnilniške lokacije upošteva le zgornjih 8 bitov registra. Tako se lahko ista vrednost večkrat zaporedoma ponovi, s čimer je dosežena manjša izhodna frekvenca signala. Za večje frekvence pa se lahko katero od vrednosti izpusti, in sicer s številom večjim od 0x010000.

Celo periodo vzorcev program preleti ko se odvrti celoten 24 bitni register. Odvisno od nastavljenega koraka, različno v realnem času. Kvocien med 2^{24} in nastavljenim korakom, pove kolikokrat se mora naslovni register s tem korakom povečati, da preleti celotno periodo. Za eno povečanje je potreben en prelet glavne zanke programa (9 ciklov). Trajanje ene periode in frekvenca sta:

$$T = 9T_{ck} \frac{2^{24}}{X} = \frac{9}{f_{ck}} \frac{2^{24}}{X}$$

$$f = \frac{1}{T} = \frac{f_{ck}}{9 \cdot 2^{24}} X \cong 0,066227 \text{Hz} \cdot X$$

Od tu je razvidna tudi najmanjša frekvenca, ki je ob enem tudi korak nastavljanja frekvence in znaša približno 66.227 mHz. Za 1 kHz je vrednost koraka enaka 15100 in dejanska vrednost frekvence je 999.967 Hz.

Največja frekvenca, ko so vedno zajeti še vsi vzorci signala je pri koraku z vrednostjo 0x010000 in znaša 4.34 kHz.

Perioda najvišje možne frekvence je ne glede na obliko signala dolga dva preleta glavne programske zanke. Ta frekvenca je 555.555 kHz pri vrednosti koraka 0x800000. S

postavljenimi najvišjimi osmimi biti je potrebna pazljivost. To so že dejanske vrednosti naslovov vzorcev. Hitro se pojavi lezenje jemanja vzorcev po periodi, kar povzroči amplitudno modulacijo signala.

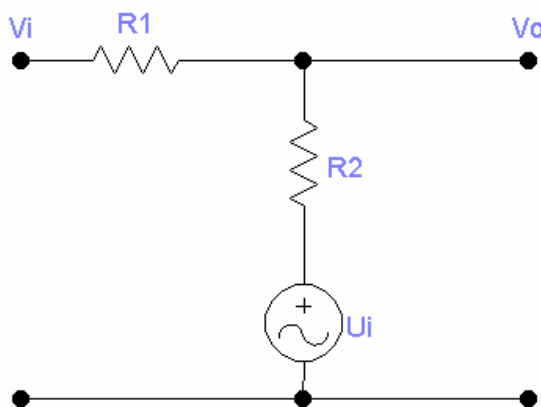
2. 1. 2. POMOŽNE RUTINE

Ostali deli programa skrbijo za nastavljanje prištevajočega se števila (koraka) in izhodiščne skupine za jemanje vzorcev. So izključno prekinitvene rutine, da ne upočasnijo glavne zanke. Take rutine so 3. Po 1 za vsako tipko in 1 za sprejet serijski podatek. Signal za delovanje DC/DC pretvornika se generira strojno, s pomočjo časovnika.

2. 2. DAC

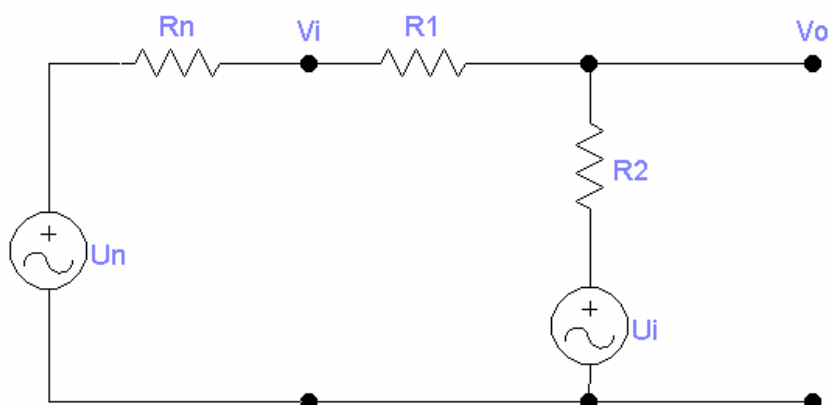
Za DAC sem izbral R2R lestvično vezje. Pomanjkljivost tega vezja je nenatančnost zaradi netočnih upornosti uporov, iz katerih je zgrajen (toleranca) in seveda njihove temperature odvisnosti. Tem zahtevam sem se, na račun enostavnosti in cene, do neke mere že odrekel v idejni fazi naloge. Izkaže se, da je za idejni zahtevek, tak DAC povsem primeren.

OSNOVNI GRADNIK DAC-a:



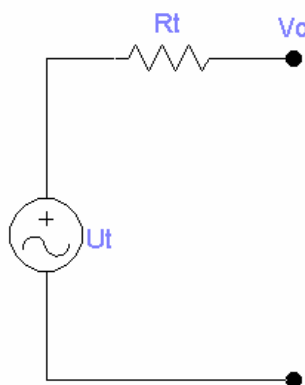
Slika 2: Osnovni gradnik DAC-a

Vezje na sliki 2 je n-ti člen v lestvičnem vezju. Na sliki 3 sta osnovnemu členu na vhodnih sponkah dodana napetostni generator in upor.



Slika3: Osnovni člen z vhodnim vezjem

Vezju s slike 3, določimo nadomestno vezavo in določimo nove parametre.



Slika 4: Nadomestno Theveninovo vezje

$$U_t = \frac{U_n - U_i}{R_n + R_1 + R_2} R_2 + U_i$$

$$R_t = \frac{(R_n + R_1)}{R_n + R_1 + R_2} R_2$$

Vsi upori v vezju na sliki 3, so še nedoločeni, zato lahko poskusimo upor R_n določiti vrednost enako R_t .

$$\frac{(R_n + R_1)}{R_n + R_1 + R_2} R_2 = R_n$$

Rešitev kvadratne enačbe za R_n , je smiselna za pozitivni predznak pred korenem:

$$R_n^2 + R_n R_1 - R_2 R_1 = 0 \Rightarrow R_n = -\frac{R_1}{2} + \sqrt{\frac{R_1^2}{4} + R_2 R_1}$$

Relacija med R_2 in R_1 za poljubni R_n (iz kvadratne enačbe) pa je:

$$\frac{R_n(R_n + R_1)}{R_1} = R_2$$

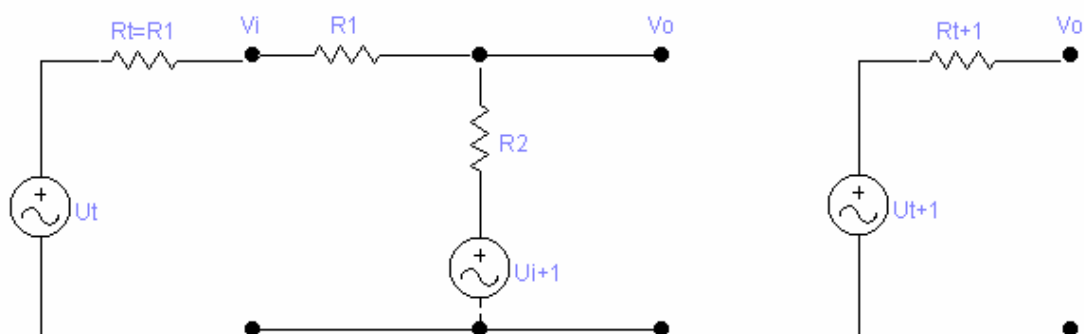
Ker R_n številsko še ni določen, je lahko enak R_1 . S tem je določen tudi $R_2 = 2R_1$. Glavna vloga tega izbora se pokaže pri nadomestni napetosti U_t .

$$U_t = \frac{U_n - U_i}{4R_1} 2R_1 = \frac{U_n + U_i}{2}$$

Če nadomestnemu vezju dodamo nov osnovni člen (kot na sliki 3) in spet poiščemo parametre ponovno določenega nadomestnega (vezje slika 5), se rezultati glasijo:

$$U_{t+1} = \frac{U_t + U_{i+1}}{2}$$

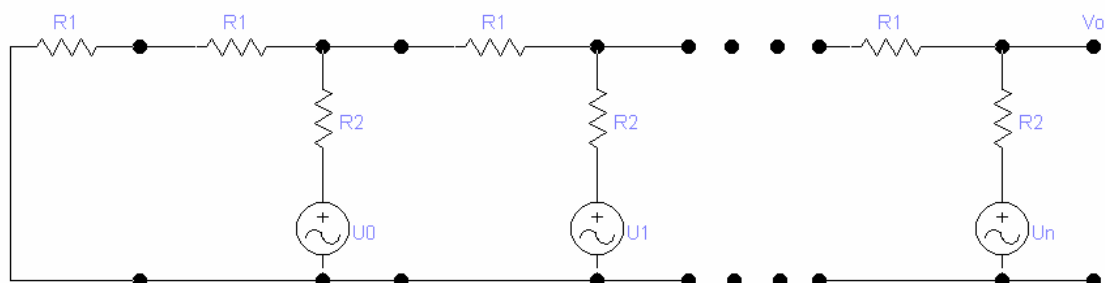
$$R_{t+1} = R_1$$



Slika 5: Novo vezje in njegova nadomestna shema

Ob upoštevanju začetnih določil velja, da je izhodna upornost verige n osnovnih členov vedno enaka R_1 . Sledi tudi da je vsaka nova izhodna napetost, dobljena z dodajanjem enega osnovnega člena enaka polovici vsote prejšnje nadomestne napetosti in nove napetosti (v členu) polovic.

$$U_{o_n} = (U_{o_{n-1}} + U_{i_n})/2.$$



Slika 6: Poljubno število osnovnih elementov zvezanih v verigo

V_o , na sliki 6, je za 3 člene enaka:

$$V_o = \frac{\frac{0+U_0}{2} + U_1}{2} + U_2$$

Veriga se začne s kratkim stikom in želeno R_n . Brez takšnega začetka, izpeljane enačbe ne bi veljale, ker je upor za virom dvakrat večji od želene R_n . $R_2=2R_n=2R_1$. Tudi upor R_1 za prvim virom ne pelje k zanimivi vezavi. S dodanim kratkim stikom se prva dodana vrednost sama deli z 2.

Izhodna napetost v splošnem za n členov:

$$V_{o_n} = \frac{U_0}{2^n} + \frac{U_1}{2^{n-1}} + \dots + \frac{U_{n-1}}{2^1} = \sum_{i=0}^{n-1} \frac{U_i}{2^{n-i}} = \sum_{i=0}^{n-1} \frac{U_i 2^i}{2^n}$$

Z uporabo mikroprocesorja, lahko posamezne U_i nastavimo kot V_{cc} ali $0V$. U_i je tako: $U_i = a_i V_{cc}$, kjer je a_i , eno bitno binarno število. Prejšnjo enačbo je sedaj moč preoblikovati v:

$$V_{o_n} = \frac{V_{cc}}{2^n} \sum_{i=0}^{n-1} a_i 2^i = \frac{V_{cc}}{2^n} [a_{n-1} a_{n-2} \dots a_1 a_0] \Big|_2$$

Pod znakom vsote je prepoznaven zapis n bitnega binarnega števila, zato končno, za splošen in uporabljen primer (8 bitov):

$$V_{o_n} = \frac{V_{cc}}{2^n} A \quad A \in [0..2^n - 1]$$

$$V_{o_8} = \frac{V_{cc}}{256} A \quad A \in [0..255]$$

Izhodno napetost pri 8 bitnem amplitudnem zapisu, je mogoče nastaviti po korakih $1/256$ napajalne napetosti, kar pri $V_{cc}=3V$ znaša $3V/256=11,7$ mV.

Amplitudna kvantizacija bistveno doprinese slabšemu razmerju signal – šum izhodne napetosti, SNR_q . SNR_q je razmerje med močjo želenega signala in močjo šuma. Definiran je kot:

$$SNR_q = 10 \log \frac{P_s}{P_\epsilon}$$

Če periodo signala razdelimo na poljubno mnogo diferencialnih delov, za vsak del določimo dejansko (X_{i_n}) in kvantizirano (X_{q_n}) vrednost signala in njuno razliko (ε_n), lahko seštevek kvadratov dejanske vrednosti in seštevek kvadratov napake vpišemo v enačbo za SNR_q , ki dobi obliko:

$$SNR_q = 10 \log \frac{\sum_n X_{i_n}^2}{\sum_n \varepsilon_n^2}$$

Upoštevane relacije:

$$f(x)$$

$$X_{i_n} = f(n)$$

$$X_{q_n} = Q(X_{i_n})$$

$$\varepsilon_n = X_{i_n} - X_{q_n}$$

$f(x)$ je želen, idealen izhodni signal, X_{i_n} so »vzorčene« vrednosti tega signala, X_{q_n} pa njihove kvantizirane vrednosti, dobljene s pomočjo funkcije kvantizatorja $Q(x)$, ki upošteva tudi nesimetričnost izhodnega napetostnega področja.

Celotno področje je pokrito s sodim številom vrednosti. Za simetrični razpon izhodne napetosti, bi potrebovali liho število stanj. Določitev, GND na sredini napajalne napetosti, vpliva na izhodno napetost tako, da je ta 0V, ko je številka vrednost vhodne besede DAC-a, enaka 128, kar pa ni 127,5. Že pri analizi izhodne napetosti DAC-a je razvidno, da je pri 8 bitih najvišja možna napetost 1/256 manjša od napajalne.

SNR_q , je odvisen tudi od porazdelitve vrednosti signala (histograma), ki je pri različnih oblikah izhodne napetosti, različna. Opisana metoda za izračun SNR_q , napisana v MathCad-u za različne oblike signala, vrne sledeče rezultate:

$$SNR_q(\sin)=49.12 \text{ dB}$$

$$SNR_q(\text{square})=45.16 \text{ dB}$$

$$SNR_q(\text{tri})=48.17 \text{ dB}$$

$$SNR_q(\text{saw})=48.11 \text{ dB}$$

Tu se mi zdi pomembno omeniti tudi izpuščanje vzorcev. Za vsako periodo je namreč na voljo 256 vzorcev signala, ki jih vse lahko preletimo v določenem času. Hitreje jih lahko preletimo če ne upoštevamo vseh, npr. le vsakega četrtega. To deluje kot zmanjšanje ločljivosti DAC-a. Namesto 8 bitov jih je uporabljenih manj, kar zmanjša SNR_q , in sicer pri upoštevanem vsakem 32 vzorcu (3 bitna ločljivost) znašajo nove vrednosti SNR_q :

$$SNR_q(\sin)=16.47 \text{ dB}$$

$$SNR_q(\text{square})=15.05 \text{ dB}$$

$$SNR_q(\text{tri})=18.06 \text{ dB}$$

$$SNR_q(\text{saw})=16.68 \text{ dB}$$

2. 3. UART

UART sklop, predstavljajo 4 stikalni tranzistorji, ki služijo spremembi napetosti logičnih nivojev. Potrebni so, ker je GND določena na sredini napajalne napetosti. Če bo generator vključen v večji sistem, kjer bo na referenčni napetosti tudi že PC, se njegovih 0V ne sme zvezati na $-V_{cc}/2$ v vezju generatorja.

Preko serijskega vmesnika, je mogoče nastaviti korak in izhodiščni sklop vzorcev. Mikroprocesor sprejme ukaze s hitrostjo 9600 bps, 8 bitov naenkrat in z enim stop bitom.

Tabela ukazov:

Ukaz	Opis ukaza
'+'	Poveča korak za 1
'-'	Zmanjša korak za 1
'u'	Poveča korak za 10
'd'	Zmanjša korak za 10
'U'	Poveča korak za 100
'D'	Zmanjša korak za 100
'<'	Pomnoži korak z 2 (shift left)
'>'	Deli korak z 2 (shift right)
'f' + $X_2 + X_1 + X_0$	Nastavi korak na vrednost $[X_2X_1X_0]$
'i'	Sporoči trenutno obliko signala in vrednost koraka
's' + 'i' + 'n'	Nastavi izhodno napetost sinusno
's' + 'q' + 'u'	Nastavi izhodno napetost pravokotno
't' + 'r' + 'i'	Nastavi izhodno napetost trikotno
's' + 'a' + 'w'	Nastavi izhodno napetost žagasto

2. 4. DC/DC

Pretvornik enosmerne napetosti je preprosto »charge pump« vezje z dvema kondenzatorjema in dvema diodama. Napetost na drugem kondenzatorju (C4) je za dve kolenski napetosti diod manjša od celotne napajalne napetosti. Njena relativna napetost, glede na GND pa je manjša še za $V_{cc}/2$. Namenjena je samo dvigu napetosti oddajne linije UART-a, po kateri se informacija prenaša z napetostjo, ne tokom in je zato minimalno obremenjena.

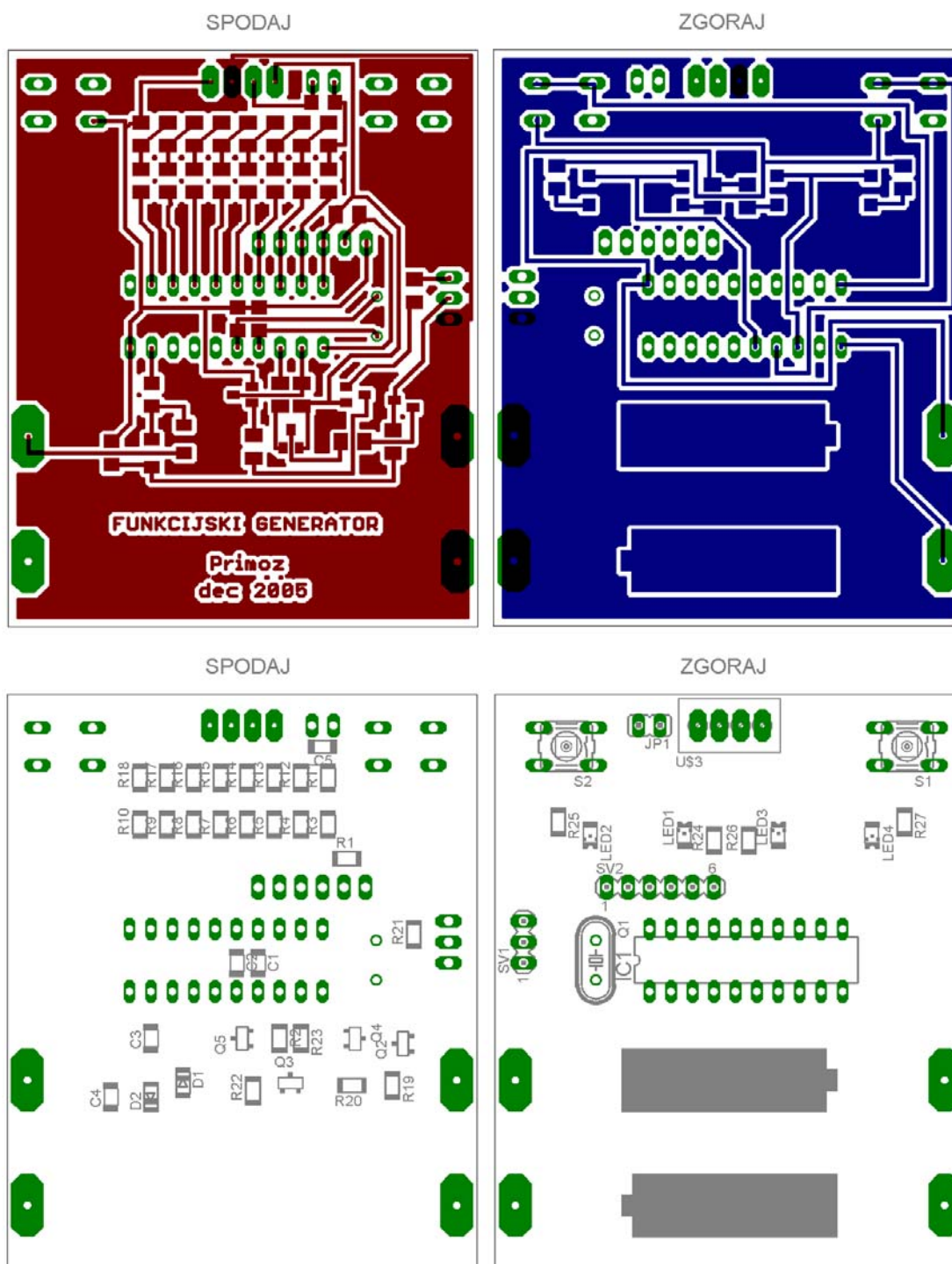
2. 5. IO

Vhodno izhodni sklop je sestavljen iz 2 tipk in 4 LED. Vedno sveti samo ena LED, ki označuje katera oblika signala se predvaja. Ob kliku na tipko S1 se vrednost koraka frekvence poveča za 1 ob kliku na tipko S2 pa zmanjša za 1. Če je tipka S1 stisnjena dlje časa, se vrednost koraka razpolovi (shift right). To se zgodi, ko aktivna LED, ki ob vsakem stisku ugasne, spet zagori. Podobno tipka S2, le da se z njo vrednost koraka pomnoži z 2 (shift left). Na ta način se lahko tudi ročno vpiše zelen korak. Na zadnjem mestu je s klikom nastavljiva 1 ali 0, ki se jo lahko premakne na poljubno mesto s premikanjem v levo. Enega za drugim vseh 24 bitov če je potrebno.

Stisk obeh tipk hkrati ima še dve funkciji. Če je le za trenutek prej pritisnjena tipka S2, se ciklično zamenja oblika signala. Trenutek prej pritisnjena tipka S1 pa postavi generator v stanje mirovanja, iz katerega ga zbudimo s stiskom na S1.

Za 4 LED sta ostali dve vhodno/izhodni liniji. Dve zaporedno zvezani na napajalni napetosti do 3V ne moreta svetiti. Mikroprocesor pa lahko na stičišče vrine Vcc oz. 0V ali pa ne vpliva, z viskoimpedančnim stanjem. Na ta način je celotna napajalna napetost na eni ali drugi LED oz. na vsaki le polovica, kar pa je premalo da bi svetili.

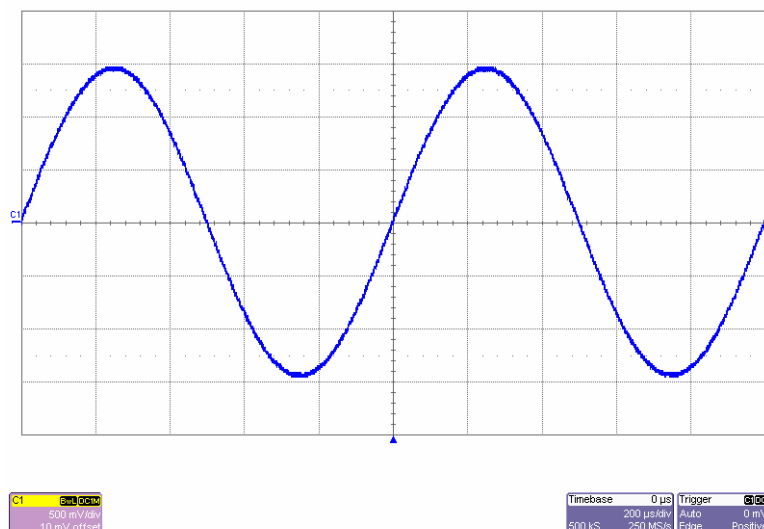
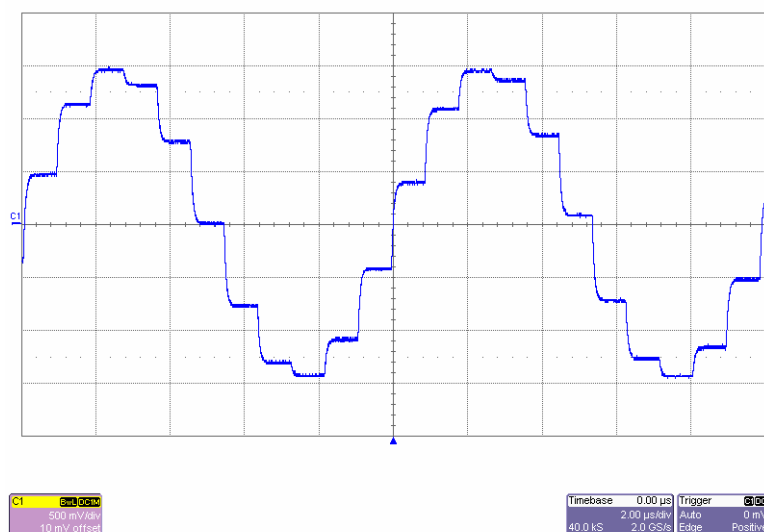
3. 2. TISKANO VEZJE

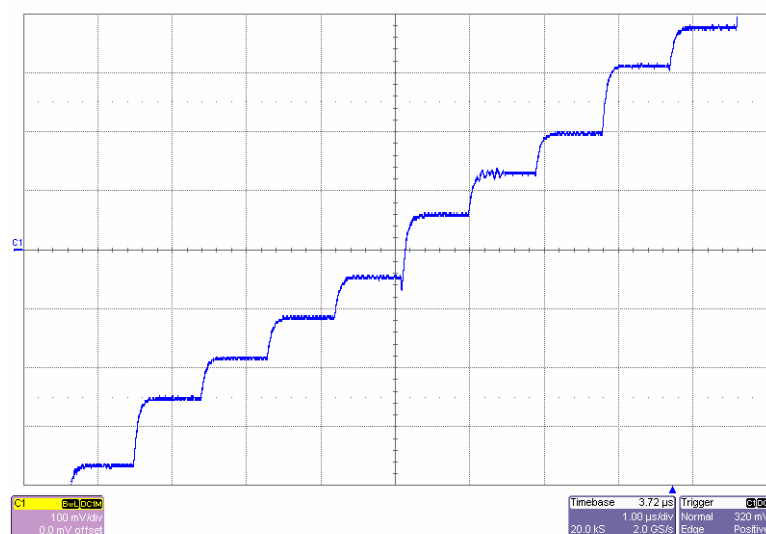
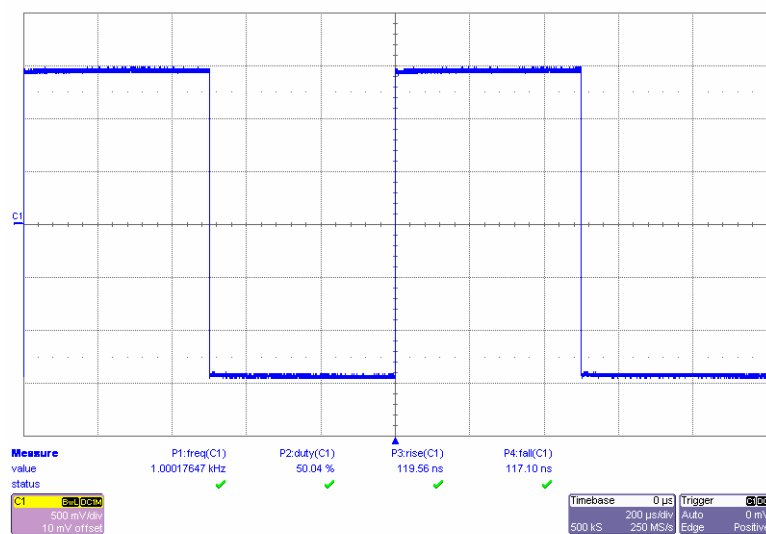


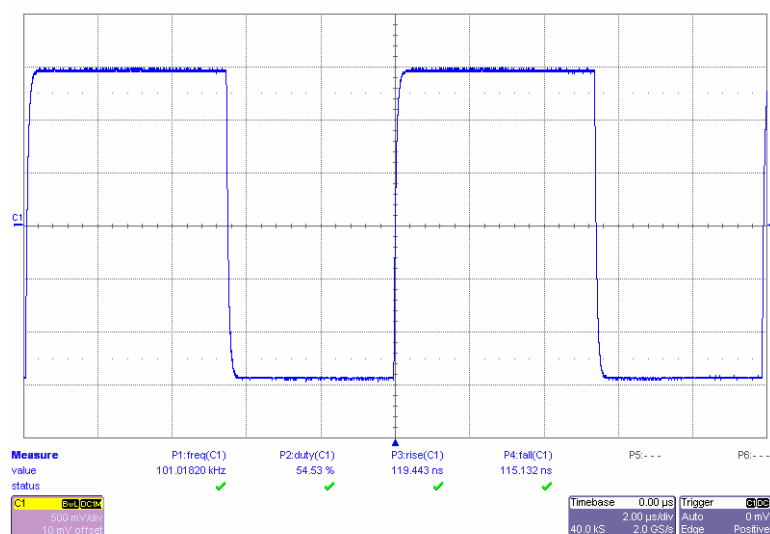
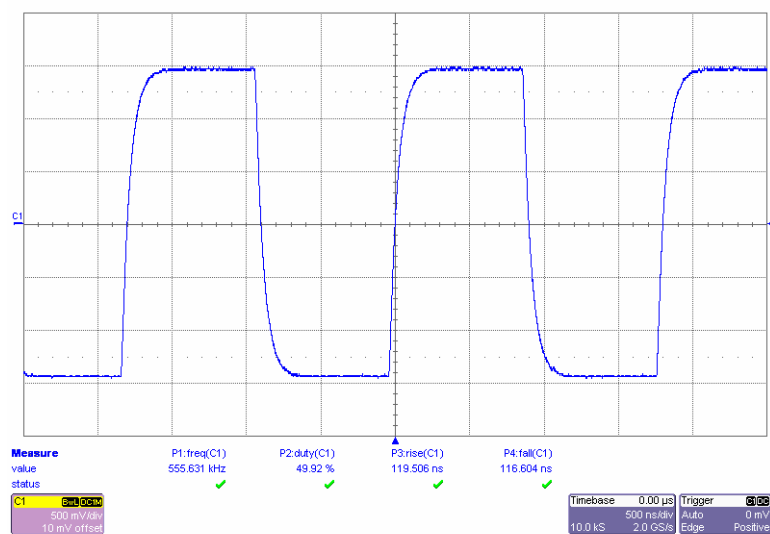
4. MERITEV

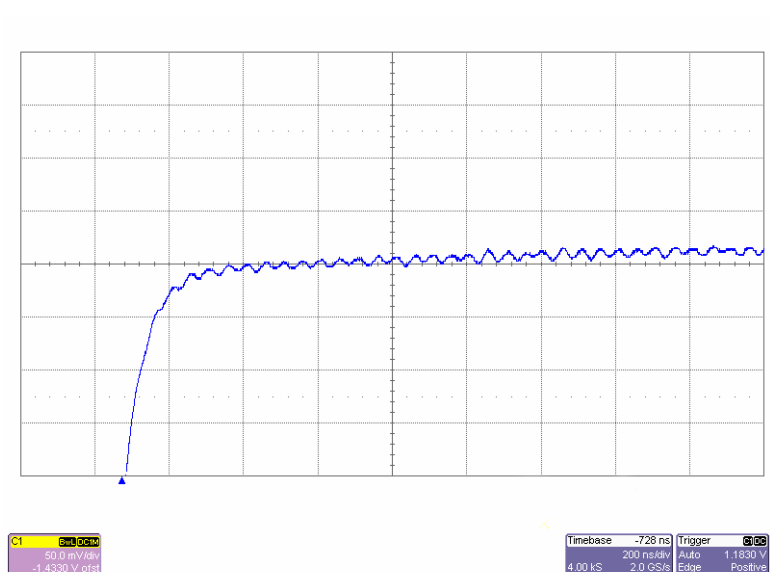
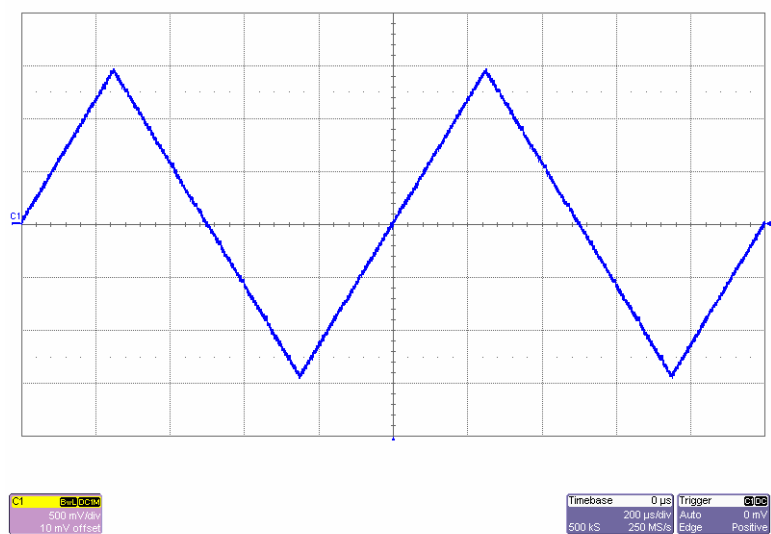
Ocena uporabnosti generatorja je razvidna iz sledečih rezultatov meritev izhodnega signala. Pri rezultatih THD-a velja upoštevati, da je v izračunu vedno upoštevanih prvih 10 harmonskih komponent signala. Rezultati za THD veljajo za sinusni izhodni signal. Opisi podatkov, zajetih iz osciloskopa, so pod slikami.

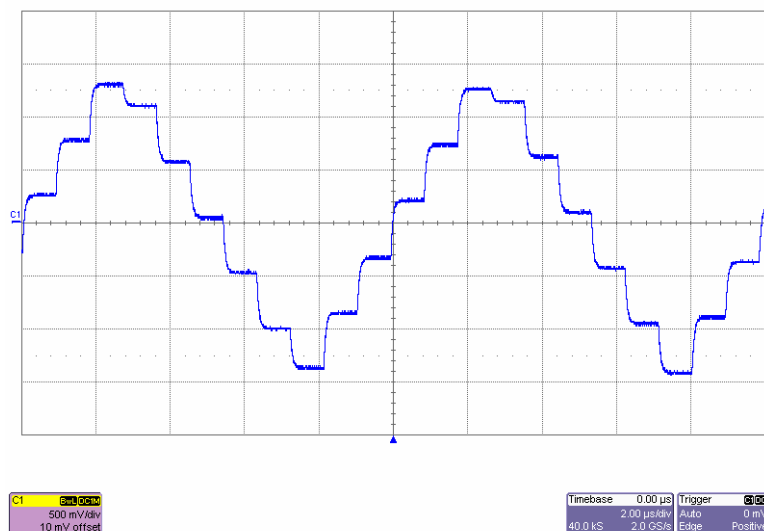
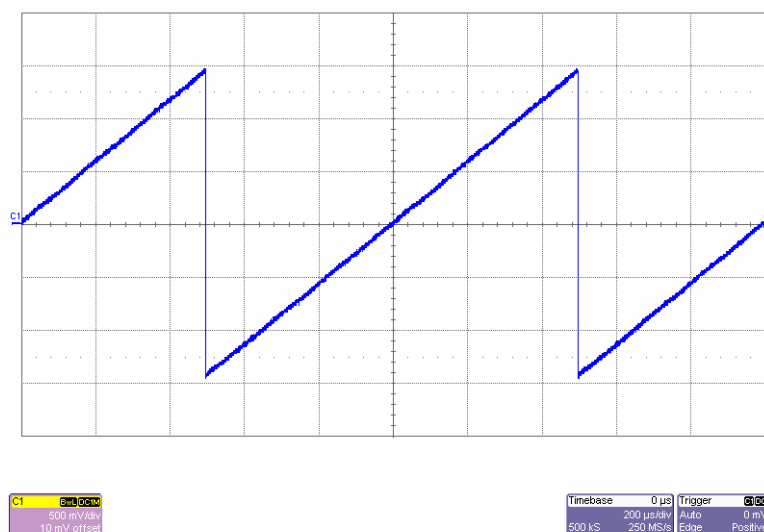
f (Hz)	THD (%)	THD (dB)
100	0,366	-48,7
1k	0,225	-53
10k	0,6	-44,4

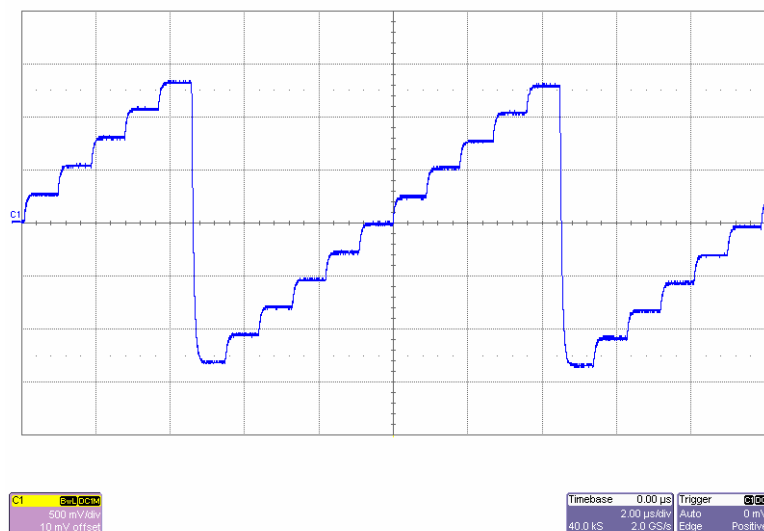
Sinusni signal; $f=1\text{kHz}$ Sinusni signal; $f=100\text{kHz}$

Sinusni signal; $f=10\text{kHz}$; prikaz kvantiziranih nivojevPravokotni signal; $f=1\text{kHz}$

Pravokotni signal; $f=100\text{kHz}$ Pravokotni signal; $f=555,56\text{kHz}$; največja uporabna frekvenca

Pravokotni signal; $f=100\text{kHz}$; prikaz vpliva urinega signala (10MHz)Trikotni signal; $f=1\text{kHz}$

Trikotni signal; $f=100\text{kHz}$ Žagasti signal; $f=1\text{kHz}$



Žagasti signal; $f=100\text{kHz}$

5. PRILOGE

- Izvorna koda programa
 - Eaglovi datoteki za shemo in vezje
 - MathCad datoteka z računskimi postopki
 - TINY2313 datasheet
 - Strojna koda programa
 - Slika končnega izdelka
- (priloge so na CD-ju)