



Univerza v Ljubljani
Fakulteta *za elektrotehniko*

Razvojna plošča za predmet Integrirana vezja

SEMINAR

Ljubljana, 2012

Damjan Repar,
64050333

KAZALO

KAZALO.....	2
KLJUČNE BESEDE.....	3
PROBLEM, IDEJA.....	4
ZASNOVA NAPRAVE.....	5
BLOČNI DIAGRAM.....	5
FPGA.....	6
uC.....	6
FLASH.....	6
Static RAM.....	7
NAČRTI.....	8
ELEKTRIČNA SHEMA.....	8
OPIS SHEME.....	10
TISKANINA.....	11
MONTAŽNI NAČRT.....	12
VEZJE V OHIŠJU.....	13
SESTAVLJANJE TER PREVERJANJE DELOVANJA VEZJA.....	13
KOSOVNICA.....	14
NAVODILA ZA UPORABO.....	16
ČASOVNA REKAPITULACIJA.....	19
ZAKLJUČEK.....	19
REFERENCE.....	20
PRILOŽENE DATOTEKE.....	20

KLJUČNE BESEDE

Slovenščina	Angleščina
Razvojna plošča	development board
Programirljivo polje vrat	FPGA (<i>field-programmable gate array</i>)
Mikrokontroler	uC, microcontroller
Sinhron serijski vmesnik	SPI (Serial Peripheral Interface)
Statični pomnilnik	Static RAM
Joint Test Action Group	JTAG

PROBLEM, IDEJA

Ko sem premišljeval kakšnega problema naj se lotim pri predmetu Seminar sem prišel na idejo, da bi bi v na enem bordu povezal mikrokrmilnik ter FPGA(Field-programmable gate array).

Hotel sem narediti razvojni bord, ki se ga bo lahko uporabljalo za različne stvari ter bo hkrati tudi združljiv z drugimi razvojnimi ploščami.

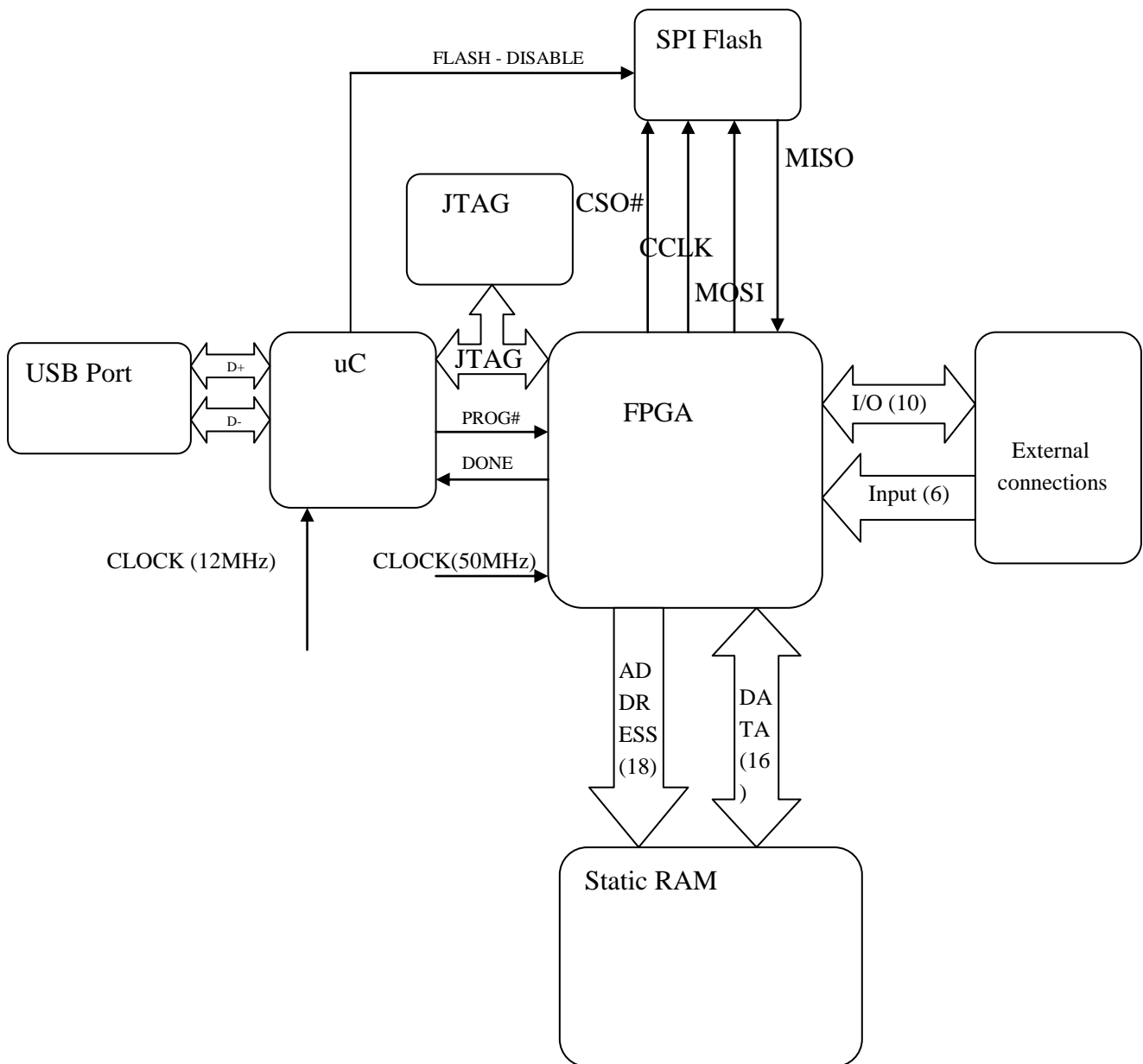
Moj namem je bil tudi, da izdelam vezje, ki bo primerno za ročno spajkanje. S tem sem moral tudi paziti pri izbiri velikosti čipov ter FPGA.

Ideja je, da se najprej preko programatorja programira uC. Mikroprocesor PIC nadomešča zunanji FPGA programator. V PIC teče program, ki prenaša podatke iz USB na JTAG.

ZASNOVA NAPRAVE

Osrednji del naprave je FPGA (field-programmable gate array), v katerega preko uC naložimo program. V uC teče program, ki prenaša podatke iz USB na JTAG.

BLOČNI DIAGRAM



FPGA

Uporabil sem Xilinx XC3S50 iz Spartan-3 družine z 50,000 vrati. Vzel sem FPGA v ohišju VQ100, ki ima 100 nogic. FPGA ima 4 področja t.i. banke. Za delovanje banke je potrebno priključiti vso napajanje ter maso. FPGA ima tri različne nivoje napajanja, in sicer +1.2V, +2.5V ter +3.3V, vendar dopušča da se namesto +2.5V uporabi kar +3.3V napajanje. Ima 64 I/O priključkov. Za vpis v FPGA se lahko uporablja eno izmed naštetih metod: Master Parallel, Slave Parallel, Master Serial, Slave Serial in Boundary Scan(JTAG). V tem primeru FPGA programiram preko JTAG.

uC

Uporabil sem mikroprocesor 18F14K50 PIC, ker sem za njega našel primerno kodo, katero sem uporabil za nalaganje programa v FPGA.

Mikroprocesor za svoje delovanje uporablja zunanji 12MHz kristalni kvarc.

Mikroprocesor sprejme tok podatkov in pakete podatkov preko USB povezave in jih pretvori v zaporedje podatkov, ki jih pošlje na FPGA preko JTAG vmesnika. Prav tako mikroprocesor prejme podatke iz FPGA preko JTAG povezave.

FLASH

Flash velikosti 2M (256K x 8b).

V mojem primeru se FLASH uporablja za shranjevanje končne verzije programa.

Ko razvijamo ter poskušamo delovanje programa na vezju, se pogosto programira FPGA. V primeru končne zasnove programa, lahko t.i. bitstream shranimo v FLASH na razvojnem bordu. V tem primeru nam ni treba pri ponovnem vklopu napajanja ponovno programirati FPGA. FPGA se sam konfigurira iz FLASHA.

V tem primeru ne smemo FPGA programirati preko JTAG clock, ampak moramo nastaviti CCLK zagonsko uro.

Static RAM

Statičen RAM je velikosti 4-Mbit (256 K x 16). RAM ima dostopni čas 10ns. Ima TTL kompatibilne vhode in izhode. V RAM se enostavno vpiše z nizkim nivojem signala !CE in !WE. V primeru, da je !BLE (byte low enable) v nizkem stanju, se podatki, ki so v I/O₀ do I/O₇, vpisujejo v lokacije, ki so podane na naslovih od A0 do A17. V primeru, da je !BHE (byte high enable) v nizkem stanju, se podatki, ki so v I/O₈ do I/O₁₆, vpisujejo v lokacije, ki so podane na naslovih od A0 do A17.

Branje poteka pri nizkem stanju signalov !CE ter !OE, medtem kot je signal !WE onemogočen in s tem na visokem nivoju.

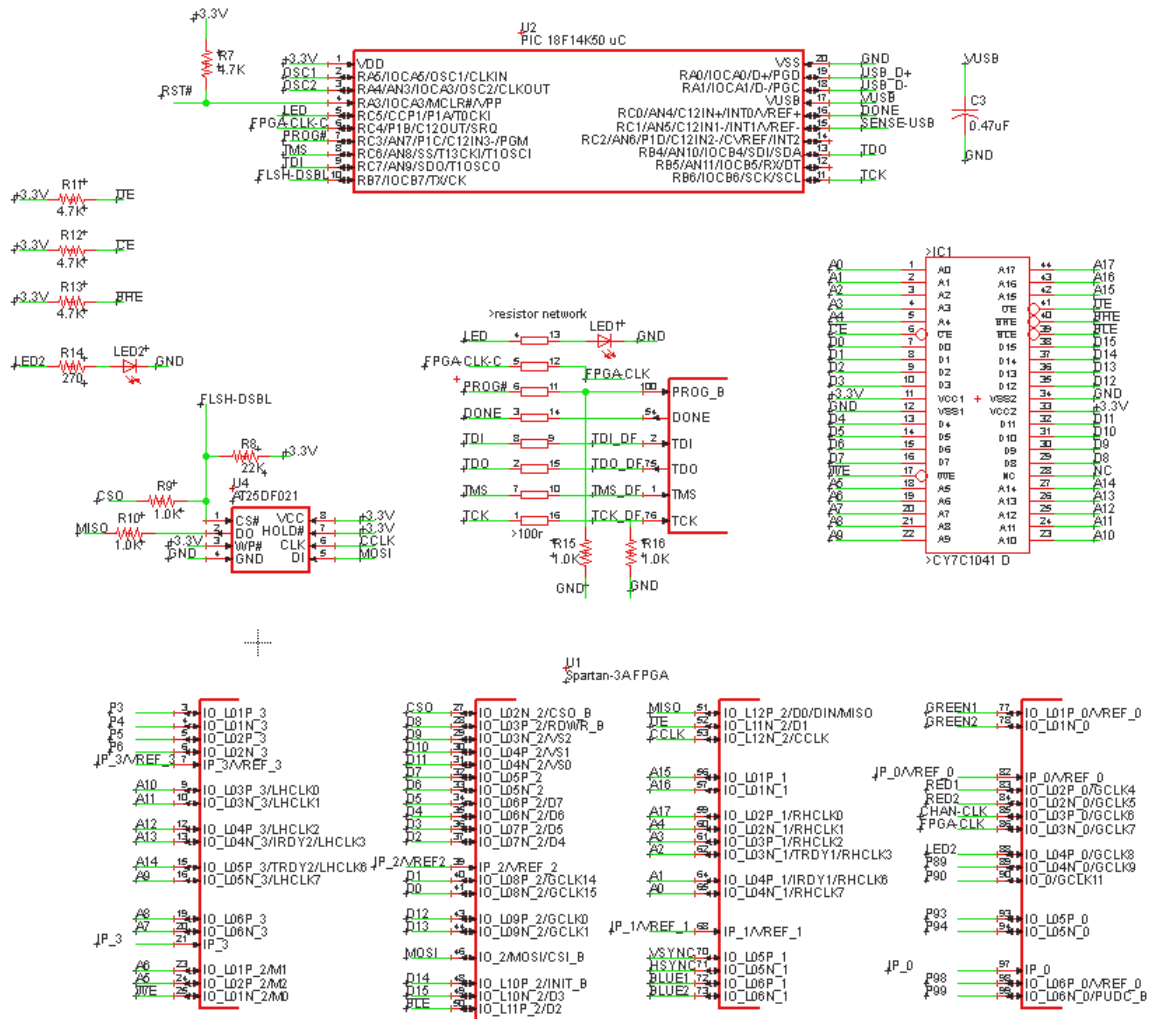
Vsi priključki I/O so v stanju visoke impedance, ko je signal !CE v visokem stanju ali !OE v visokem stanju ali !BHE ter !BLE v visokem stanju. Enako stanje je na I/O priključkih, ko poteka bralni cikel (!CE in !WE nizko stanje signalov).

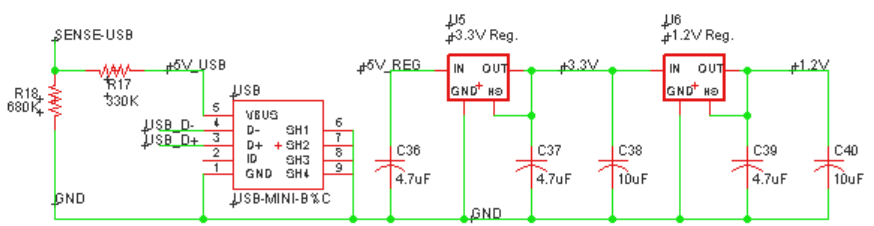
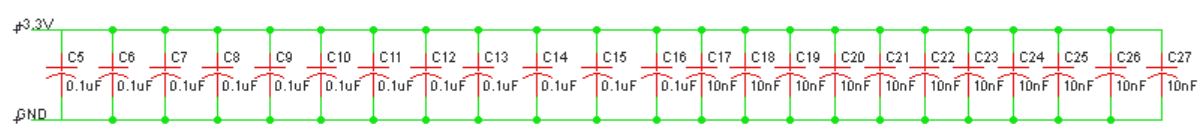
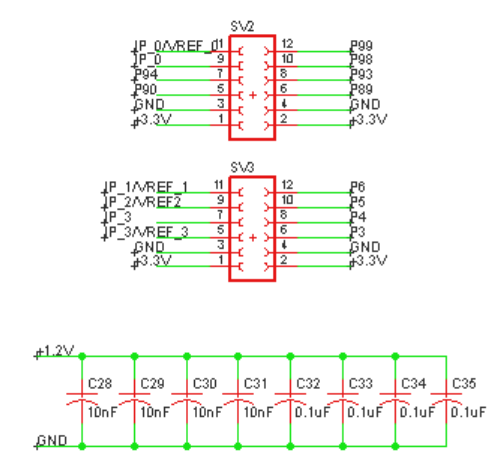
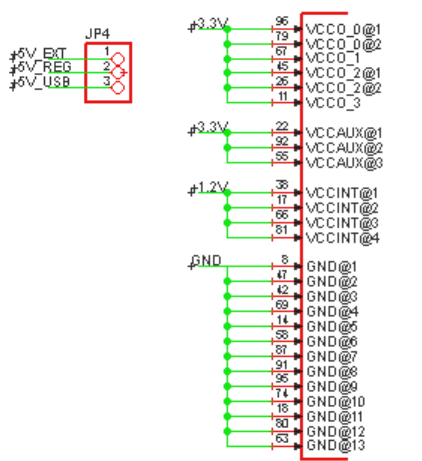
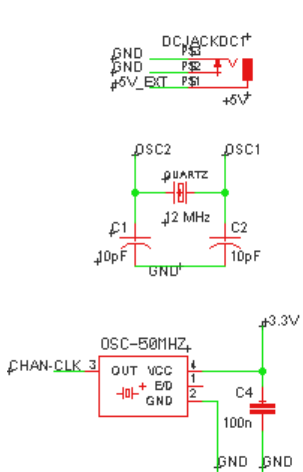
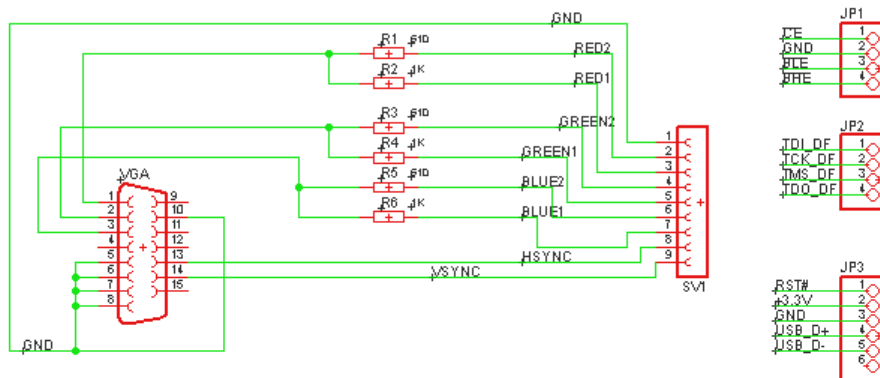
RAM je onemogočen z visokim nivojem signala !CE. Takrat so vsi I/O priključki v visoki impedanci.

RAM je dostopen v dveh ohišjih, in sicer v standardnem 44-pin SOJ ter 44-pin TSOP II. Izbral sem RAM v ohišju SOJ.

NAČRTI

ELEKTRIČNA SHEMA





OPIS ELEKTRIČNE SHEME

Električno shemo sestavljajo FPGA, uC, Static RAM, Flash, napajalni del, kvarc, oscilator, konektor USB, VGA konektor, zunanji priključki. Na zunanje priključke lahko priključim tipke, LED diode za indikacijo. Razporeditev zunanjih priključkov sem naredil tako, da so kompatibilni z nekaterimi standardnimi LCD prikazovalniki.

Napajalni del sestavljata dva napetostna regulatorja, in sicer +3.3V ter +1.2V, ki zagotavljata napajanje vezju ter 5 kondenzatorjev.

Napajanje vezja se zagotavlja preko USB priključka. V primeru polne izkoriščenosti FPGA ter dodatnega priklopa zunanjih LCD prikazovalnikov, sem dodal še možnost zunanjega 5V napajanja. Za vključitev zunanjega napajanja je potrebno jumper JP4 prestaviti na priključek +5V EXT. Oznaka za omenjeni priključek je vidna na ploščici.

Vsak priključek napajanja na FPGA ima dodana dva kondenzatorja, 10nF ter 100nF. Kondenzatorji povečajo stabilnost FPGA.

Vezju sem dodal še nekaj testnih točk, če želimo katero od signalnih ali napajalnih linij direktno pomeriti ali preveriti pri gradnji razvojnega vezja. Testne točke so vsi I/O pini, ki vodijo do VGA konektorja. Testne točke so tudi vsi štirje pini JTAG vmesnika. Te sem dodal tudi zaradi možnosti direktnega programiranja FPGA.

Kot testno točko se lahko uporablja tudi napajalno +3.3V linijo, ki je primarno namenjena za zunanje programiranje mikroprocesorja.

Na vezju je indikacija v primeru sprogramiranega mikroprocesorja. V tem primeru gori led dioda LED1.

Vezju sem dodal tudi dodatno LED diodo za indikacijo, ki je vezana na pin 88 od FPGA. Na plošči je označena kot LED 2.

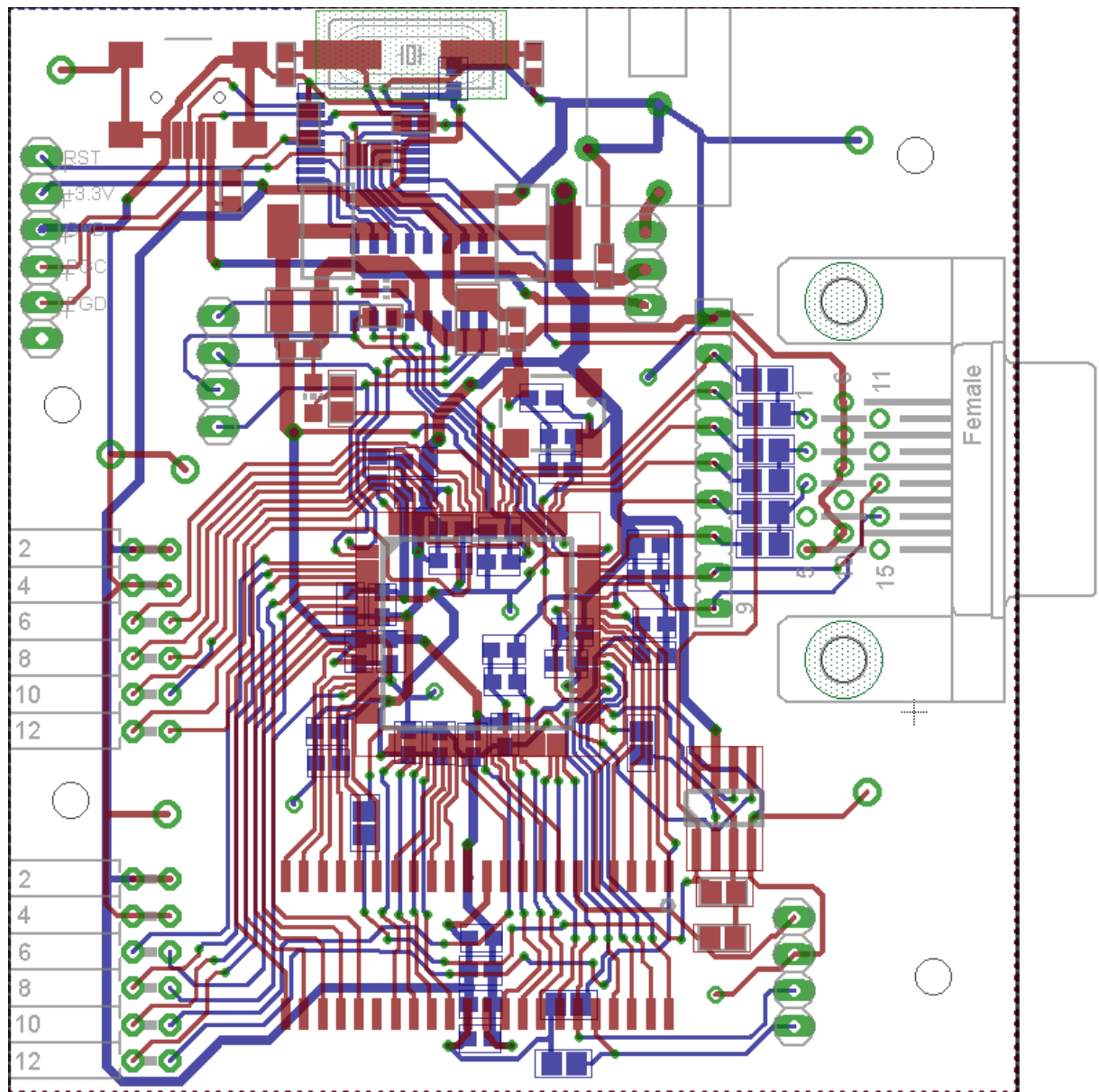
TISKANINA

Tiskanina je dvoslojna. Tako sem moral uporabiti veliko prevezav preko ploščice (VIA). Za signalne linije sem uporabil VIA z izvrtino 10 mils. Za napajalne vode sem uporabil VIA z izvrtino najmanj 16mils.

Oddaljenost med povezavami, padi ter VIA je 8 mils. Oddaljenost med samimi povezavami pri FPGA je manj od 8 mils, zato EAGLE pri preverjanju oddaljenosti v vezju javi napako.

Širina signalnih povezav je 8 mils, v primeru napajalnih linij pa najmanj 12 mils.

Opomba: 10 mils je enako 0.254 mm



VEZJE V OHIŠJU

Razvojno vezje je namenjeno za uporabo v laboratoriju, zato nisem predvidel uporabo v ohišju. Vezje se vseeno lahko zapre v ohišje dimenzij 70 x 75mm, vendar je potrebno nato vse priključke, ki se jih uporablja pri normalnem delovanju (Jumper za napajanje, ter priključki CE-GND-BLE-BHE) speljati z vezicami na stranico ohišja.

SESTAVLJANJE TER PREVERJANJE DELOVANJA VEZJA

Vezje sem sestavil ter zalotal sam. Pri preverjanju delovanja sem naletel na težave, in sicer pri programiranju mikroprocesorja. Težave so bile pri slabih spojih, čeprav sem z Ohm-metrom izmeril dober spoj.

Podobne težave so se pojavile tudi pri FPGA čipu. V primeru FPGA so se izhodi nepričakovano spuščali in dvigali. Težava je bila v slabem spoju napajalne linije VCCO na pinu 79.

Preveril sem delovanje oz. nihanje kristala ter tudi oscilatorja. Oba sta normalno delovala.

Za test FPGA sem napisal kratek program, ki je bil števec po modulu 25. Za izhod iz števca sem vzel kar diodo LED 2, ki je namenjena prav za hitre teste razvojne plošče. Ledica utripa s približno frekvenco 1,5Hz.

Za preverjanje delovanje VGA sem napisal program, ki na ekranu izrisuje preprosto sliko.

Težava bi lahko nastopila pri hkratnem priklopu zunanjega ter USB napajanja, zato bi bilo tukaj potrebno dodat še majhen upor, ki bi izenačil morebitno razliko v napetosti obeh 5V virov.

KOSOVNICA

Oznaka	Element	Vrednost	Količina	Cena[€]
U1	FPGA - XC3S50A		1x	8.24
IC1	RAM - CY7C1041DV33- 10VXI		1x	5.31
U2	MICROCHIP PIC18F14K50-I/SS		1x	2.22
U4	ATMEL - AT25DF021- SSH-F-B	2M	1x	0.71
OSC-50MHZ	Oscilator	50MHz	1x	2.16
QUARTZ	Kristal	12MHz	1x	0.42
Resistor network	Uporovna mreža	100Ω	1x	1.98
VGA	VGA konektor		1x	1.30
USB	Mini USB konektor		1x	1.09
U5	Napetostni regulator	+3.3V	1x	0.89
U6	Napetostni regulator	+1.2V	1x	0.23
JP1,JP2	Letvica pinov		1x	0.22
	Jumper		2x	0.28
LED1, LED 2	Led dioda		2x	0.33
SV2,SV3	Konektor female 6x2		2x	1.60
JP3	Konektor female 6x1		1x	0.80
C1,C2	kondenzator	10pF	2x	0.056
C3	kondenzator	0.47uF	1x	0.010
C4-C16, C32- C35	kondenzator	0.1uF	17x	0.085
C17-C31	kondenzator	10nF	15x	0.075

C36,C37,C39	kondenzator	4.7uF	3x	0.15
C38,C40	kondenzator	10uF	2x	0.232
R8	upor	22kΩ	1x	0.02
R2, R4, R6, R9, R10, R15, R16	Upor	1 kΩ	7x	0.12
R7, R11-R13	Upor	4.7kΩ	4x	0.07
R14	Upor	270 Ω	1x	0.01
R17	Upor	330kΩ	1x	0.016
R18	Upor	680kΩ	1x	0.016
R1, R3, R5	Upor	510Ω	3x	0.03
DCJACKDC1	Konektor – zunanje napajanje	+5V	1x	1.14
	Izdelava ploščice			25
Skupaj				54,81€

NAVODILA ZA UPORABO

Vezje priklopimo na računalnik prek mini USB priključka. Ker mikroprocesor ni sprogramiran, računalnik vezja ne zazna.

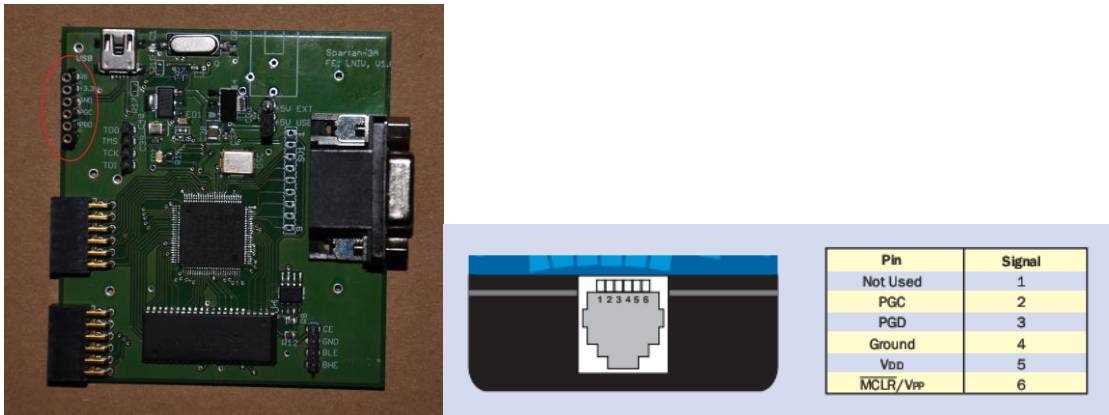
Najprej moramo z jumperjem povezati USB 5V linijo z regulatorjem. S tem celotno vezje dobi napetost.

Najprej programiramo mikroprocesor preko programatorja za PIC. Uporabil sem MPLAB ICD2 programator.

Najprej priklopimo vseh pet kablov na priključke za programiranje PIC, ki se nahajajo v levem zgornjem kotu ploščice (glej sliko spodaj).

Na ploščici so vidne tudi oznake za posamezne priključke (RST, +3.3V, GND, PGC, PGD).

Oznaki za PGD ter PGC sta pomotoma zamenjeni!



Ko je kabel priključen na vezje, v programu MPLAB IDE preverimo če je programator zaznal vezje. Gremo v meni Programmer ter izberemo naš programator MPLAB ICD2. Program bi moral na tem mestu že avtomatsko zaznati programator. Nato preverimo, če programator zazna napajanje. Gremo v isti meni Programmer->Settings->Power. Tukaj preverimo programirno napetost ter napetost vezja (target Vdd). Napetost Vdd mora biti nad 3.24V.

Nato je mikroprocesor pripravljen na programiranje. Izberemo meni File->Import ter izberemo .HEX datoteko. Ko je datoteka izbrana gremo ponovno v meni Programmer ter izberemo Program. Po nekaj korakih nam program MPLAB javi rezultat programiranja. V primeru uspešnega programiranja, se nam v orodni vrtici pojavi napis: XULA-XESS.

V upravitelju naprav vidimo to napravo kot XSUSB Devices.

Ko je mikroprocesor sprogramiran se na ploščici prižge LED1.

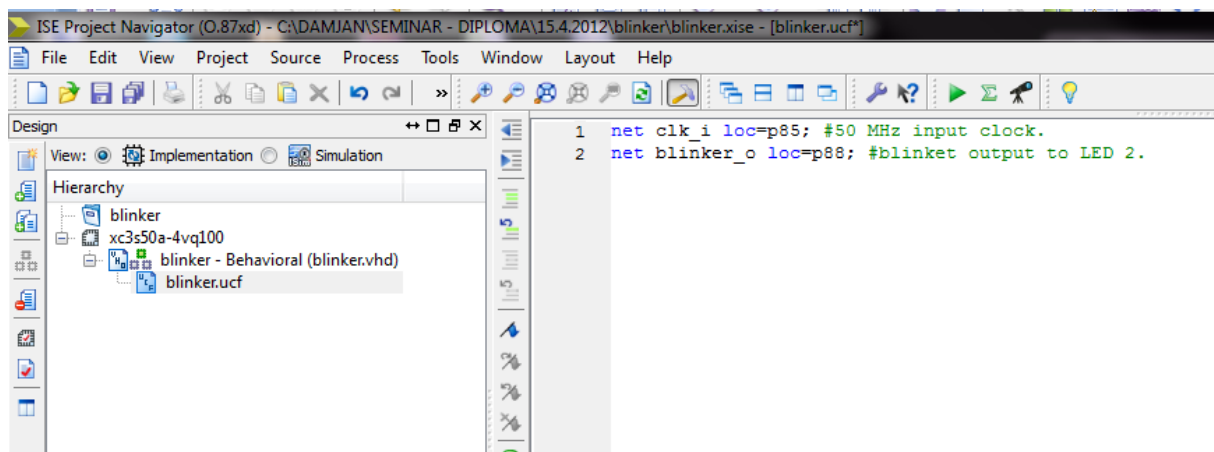
Sedaj programatorja ne potrebujemo več. Program ostane v mikroprocesorju tudi pri izgubi napajanja.

Sedaj bom na kratko opisal postopek generiranja .bit datoteke, ki jo naložimo v FPGA.

Potrebujemo XILINX ISE WebPACK, da generiramo t.i. bitstream. Predpostavim, da je bila sinteza VHDL kode uspešna.

Pred uspešno sintezo preko implementacijskega orodja, moramo najprej povedati FPGA, katere pine naj uporablja za vhodne ter katere za izhodne. To nastavimo v »Implementation Constraints File«.

V oknu Hierarchy kliknemo na Implementation in z desnim klikom na miški nad xc3s50a-4vq100 izberemo New Source. Odpre se novo okno, kjer izberemo Implementation Constraints File. Izberemo ime, npr. blinker in potrdimo z next. V oknu Hierarchy se pojavi nova datoteka z imenom blinker.ucf. V desnem oknu se nam odpre prazno polje, kjer določimo lokacije uporabljenih signalov v vezju. Za vhod nastavimo uro, ki pride iz oscilatorja. Za izhod pa nastavimo pin, na katerega je vezana LED dioda preko upora.



Nato kliknemo na blinker.vhd. V spodnjem oknu se pojavijo procesi, ki se morajo še izvesti za generiranje .bit datoteke. Dvakrat kliknemo Implement Design. Po uspešni sintezi z določenimi vhodi in izhodi se pojavi zelena kljukica.

Nato nas pred generiranjem programske datoteke čaka še nastavitve glede načina programiranja FPGA. Z desnim klikom na Generate Programming File izberemo Configuration Options. Pri možnosti UnusedPin izberemo Float, kar pomeni visoko-impedančno stanje vseh neuporabljenih pinov.

Ker se FPGA programira preko JTAG, se pri možnosti Startup Options nastavi JTAG clock. Če ne nastavimo tega, bo FPGA miroval, ker nima zagonske ure.

Tako je vse pripravljeno za generiranje programske .bit datoteke. Tako dvakrat kliknemo na Generate Programming File ter počakamo nekaj časa, da računalnik generira datoteko.

Datoteka .bit se sedaj nahaja v mapi, kjer imamo odprt projekt.

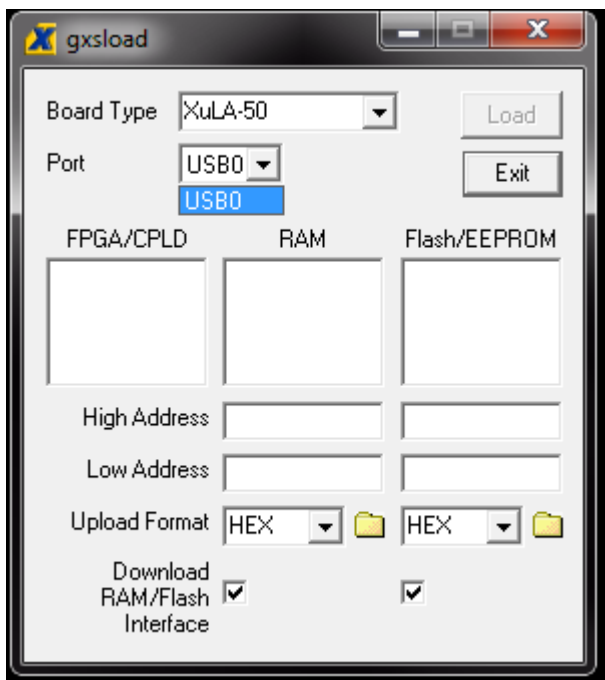
Za nalaganje v FPGA lahko uporabimo tudi programator od XILINXA, ki ga priključimo direktno na razvojno ploščico in ga neposredno sprogramiramo.

Ker je to dokaj zamudna zadeva, se najhitreje FPGA sprogramira kar z namenskim programom. Uporabil sem program od XESS, in sicer XSTOOLS.

XSTOOLS vsebuje program gxslod za nalaganje .bit datoteke v FPGA. Datoteko .bit samo potegnemo v polje FPGA/CPLD ter z klikom LOAD že nalagamo kodo v FPGA.

Takoj, ko je v vezje vnešen blinker. bit, začne ledica utripati.

V primeru padca napetosti, se naložen program takoj izbriše iz FPGA. Postopek je potrebno ponoviti.



ČASOVNA REKAPITULACIJA

Opis dela	Število ur [h]
Izbira gradnikov	5
Izris sheme ter ustvarjanje novih knjižnjic	15
Izris tiskanine	50
Izdelava vezja(spajkanje)	10
Programiranje PIC&FPGA	10
Testiranje in diagnosticiranje težav	6
Test sevalne emisije po EN 55022:2010, Class B	1
Priprava dokumentacije	15
	112

Za izdelavo razvojne ploščice sem porabil kar veliko ur. Največ težav sem porabil za izris tiskanine, saj še nisem poznal orodja EAGLE. Veliko sem se tukaj ukvarjal z postavitvijo elementov na ploščo. Med izrisovanjem sem nekajkrat tudi spremenil pozicije elementov zaradi boljšega povezovanja linij. Konektorja za zunanje napajanje še ni na vezju, ker še nisem imel potrebe po dodatnem napajanju. Bom pa v bližnji prihodnosti tudi to sigurno uporabil.

ZAKLJUČEK

Z napravo sem zadovoljen. Kompletnega delovanja še nisem povsem preizkusil. Ostane samo še preizkus Statičnega RAM. Možnosti za nadgradnjo so v priklopu dodatnih naprav na to vezje.

Tekom izdelave sem se srečal z mnogimi ovirami, ki sem jih postopoma odpravljal. Mislim, da sem s seminarjem pridobil veliko novega znanja, ki mi bo v prihodnosti koristilo.

REFERENCE

<http://www.xess.com/>

<http://uk.farnell.com/xilinx/xc3s50a-4vqg100c/fpga-spartan-3a-50k-ele-100vqfp/dp/1671088>

<http://uk.farnell.com/microchip/pic18f14k50-i-ss/8bit-mcu-16k-flash-768-ram-ssop20/dp/1648504>

<http://www.microchip.com/>

<http://lniv.fe.uni-lj.si/iv.html>

PRILOŽENE DATOTEKE

- načrt vezja, PCB
- kratek test, števec
- EMC meritve